

⑫ 公表特許公報(A)

平5-509184

= 45.
5, 193, 202

⑬ 公表 平成5年(1993)12月16日

⑭ Int. Cl.⁹ 識別記号 庁内整理番号 審査請求 未請求
 G 06 F 15/80 3 9 0 H 9190-5L 予備審査請求 有 部門(区分) 6(3)
 12/08 7608-5B
 15/16 9190-5L

(全 9 頁)

⑮ 発明の名称 並列プロセッサアレイのための仮想処理アドレス・命令ジェネレーター

⑯ 特 願 平3-510619
 ⑰ 出 願 平3(1991)5月14日

⑱ 翻訳文提出日 平4(1992)11月30日
 ⑲ 国際出願 PCT/US91/03345
 ⑳ 国際公開番号 WO91/19268
 ㉑ 国際公開日 平3(1991)12月12日

優先権主張 ㉒ 1990年5月29日 ㉓ 米国(US) ㉔ 529,947

⑳ 発 明 者 ジャクソン、ジェームス、エイ アメリカ合衆国 27511 ノースカロライナ州 キヤリイ、ベンウ
 チ ッド ドライブ 119
 ㉑ 出 願 人 ウェーブトレーサー インコー アメリカ合衆国 01720 マサチューセッツ州 アクトン、グレー
 ボレイテッド ト ロード 289
 ㉒ 代 理 人 弁理士 秋元 輝雄
 ㉓ 指 定 国 AT(広域特許), AU, BE(広域特許), CA, CH(広域特許), DE(広域特許), DK(広域特許), ES(広域
 特許), FR(広域特許), GB(広域特許), GR(広域特許), IT(広域特許), JP, LU(広域特許), NL(広
 域特許), SE(広域特許)

最終頁に続く

請求の範囲

1. 選択された1つの問題次元に含まれるノードの数より少ない数のプロセッサセルを有するプロセッサアレイのための、プロセッサセル命令とそれに対応するプロセッサセル物理メモリアドレスを生成することを目的とした、仮想処理命令・アドレスジェネレーターを備えた、以下のものからなる並列処理システム:

前もって決められた数の物理プロセッサセルを有する1つのプロセッサアレイ;

解かれるべき1つの問題次元のサイズを構成する数の問題ノードを提供するための手段;

問題ノード数を提供するための手段と前もって決められた数の物理プロセッサセルに 대응して、この前もって決められた数の物理プロセッサセルの各々に伴うべき仮想プロセッサの数を確定するための手段;

前記の前もって決められた数の物理プロセッサセルの各々に伴うべき仮想プロセッサの数を確定するための手段に 대응して、物理プロセッサセルの各々に伴う各仮想プロセッサのベースメモリアドレスに対応する1つの物理プロセッサセルメモリアドレスを確定するための手段;

1つまたは1つ以上のプロセッサセル命令を提供するための手段;

各オペランドを前記のプロセッサセルのアレイによって処理するための、

1つの仮想オペランドメモリアドレスを提供するための手段;

仮想オペランドメモリアドレスを提供するための前記の手段と前記の仮想プロセッサのベースメモリアドレスに 대응して、1つの対応する仮想プロセッサベースメモリアドレスで仮想オペランドメモリアドレスを加算し、処理されるべきオペランドの1つの物理プロセッサセルメモリアドレスを生成するための手段; ならびに

処理されるべきオペランドの物理アドレスを発生させるための前記の手段および1つまたは1つ以上のプロセッサセル命令を提供するための前記の手段に 対応して、プロセッサアレイの各プロセッサセルに流すべきアドレス再配置プロセッサセル命令を発生させるための対応する1つの物理プロセッサセル

メモリアドレスをもった1つのプロセッサセル命令を生じさせるための手段

2. 請求項1のシステムにおいて、プロセッサセルアレイに、多次元アレイを構成するように相互接続された複数のプロセッサセルが含まれるもの

3. 請求項2のシステムにおいて、多次元アレイに1つの3次元アレイが含まれるもの

4. 請求項1のシステムにおいて、1つの問題次元のサイズを構成する問題ノード数を提供するための手段に、前置型プロセッサが含まれるもの

5. 請求項1のシステムにおいて、各仮想プロセッサのベースメモリアドレスに対応する1つの物理プロセッサセルメモリアドレスを確定するための手段が、オペランドがそこから取られるべき原始仮想プロセッサのベースメモリアドレスと、オペランドがそこに記憶されるべき宛先仮想プロセッサのベースメモリアドレスを確定するもの

6. 請求項1のシステムにおいて、プロセッサセル命令の各々に、少なくとも1つのプロセッサセルアドレスセグメントと1つのプロセッサセルコントロールセグメントが含まれるもの

7. 請求項1のシステムにおいて、対応する1つの物理プロセッサセルメモリアドレスをもった1つのプロセッサセル命令を生じさせるための手段が、その物理プロセッサセルメモリアドレスを、1つの対応するプロセッサセル命令のアドレスセグメントの値に加算するもの

8. 選択された1つの問題次元に含まれるノードの数より少ない数のプロセッサセルを有する多次元プロセッサアレイのための、プロセッサセル命令とそれに対応するプロセッサセル物理メモリアドレスを生成することを目的とした、仮想処理命令・アドレスジェネレーターを備えた、以下のものからなる多次元並列処理システム:

少なくとも1つの3次元アレイを形成するように相互接続された、前もって決められた数の物理プロセッサセルを有する1つのプロセッサアレイ;

解かれるべき1つの問題次元のサイズを構成する数の問題ノードを提供するための手段;

問題ノード数を提供するための手段と前もって決められた数の物理プロセッサ

サセルにตอบสนองして、この前もって決められた数の物理プロセッサセルの各々に伴うべき仮想プロセッサセルの数を確定するための手段：

前記の前もって決められた数の物理プロセッサセルの各々に伴うべき仮想プロセッサセルの数を確定するための手段にตอบสนองして、物理プロセッサセルの各々に伴う各仮想プロセッサセルのベースメモリアドレスに対応する1つの物理プロセッサセルメモリアドレスを確定するための手段：

プロセッサセル命令の各々に少なくとも1つのプロセッサセルアドレスセグメントと1つのプロセッサセルコントロールセグメントが含まれるような状態で、1つまたは1つ以上のプロセッサセル命令を提供するための手段：

各オペランドを前記のプロセッサセルのアレイによって処理するための、1つの仮想オペランドメモリアドレスを提供するための手段：

仮想オペランドメモリアドレスを提供するための前記の手段と前記の仮想プロセッサセルのベースメモリアドレスにตอบสนองして、1つの対応する仮想プロセッサセルベースメモリアドレスで仮想オペランドメモリアドレスを加算し、処理されるべきオペランドの1つの物理プロセッサセルメモリアドレスを生成するための手段： ならびに

処理されるべきオペランドの物理アドレスを発生させるための前記の手段および1つまたは1つ以上のプロセッサセル命令を提供するための前記の手段にตอบสนองして、多次元プロセッサアレイの各プロセッサセルに流すべきアドレス再配置プロセッサセル命令を発生させるための対応する1つの物理プロセッサセルメモリアドレスをもった前記のプロセッサセルアドレスセグメントを加算するための手段

いられる。この特許では、3次元プロセッサアレイの挙動に似せてプロセッサセル間でデータの切り替えを行うよう、ルーターに命令を与えることができるようになっている。しかしながらルーターは、データを各種プロセッサセルの間で移動させるために、多量のプロセッサオーバーヘッドを必要とする。またこれに加えて、スイッチング機能を実行するための支援制御回路も必要である。システムスループットまたは帯幅は、ルーターオーバーヘッドによってかなり損なわれ、またシステムのコストと信頼性も、ルーターと支援制御回路を含めなければならないために、やはり大きく損なわれる。

さらにまた、並列処理問題の多くは、プロセッサアレイの利用可能なプロセッサセル数を上回る数の問題ノードを必要とする。こうした状況においては、ある与えられたプロセッサアレイに問題空間を分散させるための調整を、応用プログラマーに行わせることは回避するのが望ましい。むしろ応用プログラマーは、プロセッサアレイのサイズの束縛から切り離し、問題空間のサイズのみを指定すればよいという状況にすべきである。さらにまた、プロセッサアレイのサイズが異なる各種のプロセッサシステム間での共用性を確保するために、プロセッサアレイがどのようなサイズのものであっても、並列処理プログラムをランさせることが可能でなければならない。

発明の要約：

本発明は、問題空間のノード数より少ない数のプロセッサセルを有していても差し支えない多次元プロセッサアレイなどの並列処理アレイに、プロセッサ命令を生成するための、仮想処理アドレス・命令ジェネレーターを含む並列処理システムを提供するものである。

好ましい1つの実施例においては、上記処理システムは各プロセッサセルのメモリーをいくつかの等しい部分に分割し、そしてこの分割された天々に1つの問題空間を対応させる。つぎに命令ジェネレーターは、与えられた問題空間の各部分空間に対して1続きのプロセッサセル命令を生じさせ、そしてこの命令シーケンスのそれぞれについて、該当するアドレス変更がアドレスジェネレーターによって与えられる。このような仕組みにより、該並列処理アレイは、プロセッサアレイに存在するプロセッサセル数より多い数の問題ノードを有する問

名称：

並列プロセッサアレイのための仮想処理アドレス・命令ジェネレーター

発明の分野：

本発明はコンピュータシステム、そしてより詳細には並列処理コンピュータシステムに関するものである。

発明の背景：

電場と磁場、流体の流れ、音波、熱の流れなどの自然現象の、ある与えられた時刻における状態は、3次元的、空間的に分布するデータとして、互いに直交する3つの座標軸の方向における空間的位置が指標をもって示されるところの、1つまたは1組の数によって表現される。場合によっては、さらに第4の次元として、「時間」も考慮しなければならない。これまで科学者やその他のコンピューター・ユーザーは、ボワソン方程式やマクスウェル方程式など、空間的に分布するデータにかかわる偏微分方程式を解こうとする場合に、十分なデータ処理能力を享受することができなかった。これは、従来技術によるプロセッサシステムとプロセッサアレイが、2次元構成に限定されていたことによるものである。

純粋に1次元アレイまたは2次元アレイを用いて行う、3次元方程式を解くための従来技術による試みは、プロセッサではなくメモリーに記憶させなければならない空間データの、第2または第3の次元への指標またはアドレスポインターを計算するために、大量の「プロセッサオーバーヘッド」を必要とする処理システムを生み出した。たとえば伝統的なシングルプロセッサ型コンピューターの場合、X次元とZ次元の指標を計算するには、最大で3回の乗算と2回の加算を実行しなければならない。2次元コンピューターを使った場合には、X軸とY軸は直接的にアクセスできるが、Zポインターはやはり計算しなければならず、そしてこの計算のために依然として最大で1回の乗算と加算が必要である。

3次元データを従来技術によって取り扱おうとする場合には、このほか、米国特許No. 4, 814, 973で開示されているような相互結合配列もまた用

意を、メモリスワッピング無しで解くことができる。

図面の説明：

上記ならびに上記以外の本発明の特徴は、以下に述べる説明を添付図面を参照しつつ読み通すことにより、一層よく理解されるであろう。添付図面において、

図1は、本発明にもとづく、コントロールプロセッサと仮想処理アドレス・命令ジェネレーターを有する多次元並列処理システムとプロセッサアレイの概要を示す。

図2は、本発明にもとづくアドレス・命令ジェネレーターの一層詳細なブロック図である。

図3は、図1に示すコントロールプロセッサの一層詳細なブロック図である。

図4は、図2に示すオペランドアドレスジェネレーターの一層詳細なブロック図である。

図5は、本発明にもとづくマイクロコードメモリアドレスジェネレーターと即値オペランドビットエクストラクターの一層詳細なブロック図である。

図6は、本発明にもとづく仮想処理アドレス・命令ジェネレーターのタイミング図である。

図7Aと図7Bは、物理・仮想プロセッサセルメモリーの分割を示す。

図8は、図2に示すアドレス再配置回路の一部分をなすアドレス再配置コントロールレジスターのブロック図である。

図9と図10は、図2に示すアドレス再配置回路の追加回路にかかわる該回路図である。

図11Aと図11Bは、プロセッサ間通信命令の1例を示す。 また、

図12は、図2に示すナノ命令・テンプレートジェネレーター回路の一層詳細なブロック図である。

発明の詳細な説明：

図1は、複数のプロセッサセルを有する、本発明にもとづく多次元プロセッサシステム100を示す。該プロセッサシステムには、小型コンピューターシステムインターフェース(SCSI)106などのインターフェースによ

てプロセッサコントローラ104に接続されてコマンドブロッサとて機能するところの、適切な前置型プロセッサ102が含まれる。好ましい実施例においては、この前置型プロセッサ102として、Unix™オペレーティングシステムの制御のもとに動作する通常のコンピュータを用いる。かかる前置型プロセッサの一例は、Sun Microsystems社から入手することが可能なSunワークステーションである。前置型プロセッサ102には、通常のCコンパイラと、C言語への並列処理拡大体を用いて書き込みがなされたプログラムをシステムがコンパイルし実行することを可能にする、前記Cコンパイラのためのブロッサが含まれる。

プロセッサコントローラ104は、前置型プロセッサ102とプロセッサアレイ108の間の中間処理機能を提供する。このプロセッサコントローラ104には、コントロールプロセッサプログラムメモリ112に記憶されたコントロールプロセッサプログラムの制御のもとに動作するコントロールプロセッサ110が含まれる。このような並列処理システムの一例は、いずれも本明細書で引用されているところの、同時継続米国特許No. 07/530,027 (名称"MULTI-DIMENSIONAL PROCESSOR SYSTEM AND PROCESSOR ARRAY WITH MASSIVELY PARALLEL INPUT/OUTPUT")および同No. 07/529,962 (名称"DIMENSIONALLY RECONFIGURABLE MULTI-DIMENSIONAL PROCESSOR ARRAY")に開示されているとおりである。

前置型プロセッサ102はコントロールプロセッサ110と連絡し、選択されたコマンドにตอบสนองして該コントロールプロセッサにコマンドを送り、かつまた該コントロールプロセッサからのデータを読み取る。通常、各々のコマンドは、余数や乗数などのワード・オリエンテッド型の単項演算または2項演算を記述する。コントロールプロセッサ110はかかるコマンドを固定し、そしてそれらをマクロ命令と呼ばれる1続きのワード・オリエンテッド型のコマンドとしてリフォーマットする。マクロ命令はアドレス・命令ジェネレーターに転送される。そしてこのアドレス・命令ジェネレーターは、シリアライザー内に配置

されたレジスターを初期設定することにより、シリアライザー120と命名したもになる。シリアライザー120はマイクロロード122の制御のもとで動作し、そして各々のワード・オリエンテッド型マクロ命令を、ナノ命令と呼ばれる1続きのビット・オリエンテッド型コマンドに変換する。このビット・オリエンテッド型コマンドは、それぞれ、メモリアドレスビットとコントロールビットからなるプロセッサセル命令である。該シリアライザーは、該シリアライザーが生成させるナノ命令の各シーケンスを、プロセッサアレイ108の全てのプロセッサに伝送する。ナノ命令メモリ124には、シリアライザー120がそれにアクセスしてプロセッサアレイのためのナノ命令を形成するところの、ナノ命令テンプレートの表が含まれる。

コントロールプロセッサ110はシリアライザー120との間で直接的にデータの受渡しを行うが、一方、両方向エッジFIFO126を経由してプロセッサアレイ108との間でもデータの受渡しを行う。同様にして、前置型プロセッサ102との間の通信は小型コンピュータシステムインターフェース(SCSI)106を介してなされる。コントロールプロセッサ110はプロセッサアレイ108を初期設定するためのコマンドを受け取り、そしてプロセッサアレイ、前置型プロセッサ、ならびに、標準およびオプションのスワッピングRAMやオプションのI/Oデバイスなどの周辺装置間の入出力転送を制御する。

シリアライザー120は、図2のブロック・ダイアグラムに一層詳細に示されておりである。図においてシリアライザーはその入力信号をコントロールプロセッサ110から受け取り、また、コントロールプロセッサ110はその入力信号を前置型プロセッサ102から受け取る。

前置型プロセッサ102は、問題空間次元150ならびに追加的な初期設定情報をコントロールプロセッサ110へ伝送することにより、システムを初期設定する。コントロールプロセッサ110は、シリアライザー120内にレジスターをロードして、各プロセッサセルにともなう問題ノードの写像156をシリアライザーに記述することにより、この情報にตอบสนองする。アドレス再配置回路162は写像156を受け取り、そして、前置型プロセッサ102からの

後続の情報を処理する間に、それを用いて、仮想アドレスベース164と遠隔アドレスベース165の値を生成させる。

つぎに前置型プロセッサ102は、コントロールプロセッサ110にコマンドを送ってシステムを制御し始める。このコマンドは操作符号154とオペランドデータ152からなる。オペランドビット・アドレスジェネレーター168は、オペランドアドレスデータ158をコントロールプロセッサ110から受け取り、そしてプロセッサアレイによって処理されるべきオペランドビットの仮想アドレスを、信号経路170を通じてナノ命令ジェネレーター166に提供する。ナノ命令ジェネレーター166の集計回路172は、仮想アドレス170の各々を、各プロセッサセルにおいて現在のオペランドビットについて実行されつつある操作に応じて、仮想アドレスベース164または遠隔アドレスベース165のいずれかで加算し、処理されるべきオペランドビットのプロセッサセルメモリ物理アドレス174を形成する。

コントロールプロセッサはまた、操作符号154とオペランドデータ152を複写してマイクロプログラム制御信号160を生成させ、そしてそれをマイクロプログラム・コントロールユニット176へ送る。マイクロプログラム・コントロールユニット176は、これらの信号にตอบสนองしてナノ命令テーブルアドレス178を発生し、そしてそれを用いてナノ命令メモリ124をアドレスし、ナノ命令テンプレート180を得、ついでそれをナノ命令ジェネレーター166へ送る。マイクロプログラム・コントロールユニット176はまた、オペランドビットのアドレスジェネレーター168、アドレス再配置回路162、およびナノ命令ジェネレーター166を、それ自身の操作と同期させるための制御情報を生成する。ナノ命令ジェネレーター166は、仮想アドレスベース164または遠隔アドレスベース165と仮想アドレス170の和としてそれが形成する各々の物理アドレス174を、対応するナノ命令テンプレート180のアドレスビットと加算し、それぞれのナノ命令182を生成する。それぞれのナノ命令182は、各プロセッサセルのメモリにおける1つのビットの物理アドレスと、各プロセッサセルのそのビットについて実行されるべき操作を記述する制御ビット、の両方を含む。ナノ命令ジェネレーター166は、それが生成させる各々の

ナノ命令182を、アレイの全てのプロセッサセルへ流す。

前置型プロセッサ102は、ワード・オリエンテッド型コマンドをコントロールプロセッサへ送ることによって、コントロールプロセッサ110と連絡する。コントロールプロセッサ110はかかるコマンドを固定し、そしてそれらを1続きのマクロ命令としてリフォーマットする。かかるコントロールプロセッサ110の1例は、図3のブロック・ダイアグラムに一層詳細に示されておりであるが、マイクロプロセッサ180がこれに含まれる。このマイクロプロセッサ180はADM-29000プロセッサであって、コントロールプロセッサプログラムROMとRAM112の制御のもとに動作する。コントロールプロセッサのデータRAM114は、一時的データとプロセッサ変数記憶をマイクロプロセッサ180に提供する。

ある与えられたユーザー・プログラムを、変更せずに各種サイズのプロセッサアレイのランに使えるようにするためには、応用プログラマーは、仮想処理のためのメモリーの割り付けを要求されてはならない。それゆえ、実際、応用プログラムは、ある与えられたプロセッサアレイにおける物理プロセッサセル数の束縛から切り離される。そのかわりに、応用プログラムは単に、希望する問題空間のX、YおよびZ次元のみを確定する。つぎにコントロールプロセッサは、プロセッサアレイのサイズを測定し、そして問題空間の与えられた次元とプロセッサアレイの各エッジに沿ってのプロセッサの数から、各物理プロセッサに割り振られるべき1組の仮想プロセッサを計算する。この1組の仮想プロセッサを、物理プロセッサセルの領域と称する。これらの領域次元は、好ましい実施例におけるように多次元であっても差し支えなく、次によって得られる。

$$X_s = X / s_x, \quad Y_s = Y / s_y, \quad \text{および} \quad Z_s = Z / s_z.$$

ここに X_s 、 Y_s 、および Z_s は各物理プロセッサセルの領域の次元、 X 、 Y および Z は問題空間の次元、また s_x 、 s_y および s_z は物理プロセッサにおけるアレイの次元である。

シリアライザーは、それがコントロールプロセッサから入手することが可能な未処理の入力を有するときは、それぞれのナノ命令サイクルに1回だけ、プ

ロセッサアレイの各プロセッサセルに、有用なナノ命令を渡すべきである。シリアルライザーは、プロセッサコントローラーから受け取った各マクロ命令に対して1つのナノ命令シーケンスを生成するだけでなく、また、必要に応じて各ナノ命令についてアドレスを変更したうえで、既にそれぞれの物理プロセッサセルにマッピングされている各仮想プロセッサについてそのナノ命令シーケンスを反復しなければならない。アドレス・命令ジェネレーターはまた、2つの仮想プロセッサが相互に通信し合わなければならないときは、複数の物理プロセッサセルが関与する場合があることも考慮しなければならない。

したがって、コントロールプロセッサから受け取るある与えられたマクロ命令に対応する各ナノ命令シーケンスを生成させるためには、本発明のアドレス・命令ジェネレーターは、それが生成させる各ナノ命令に含めるためのオペランドの物理アドレスを計算し、また、つぎのサイクルでどのマイクロコード命令を実行するか、したがってまた、どのナノ命令を生成させるかを決定するための条件を評価しなければならない。つぎにシリアルライザーは、ある1つの物理プロセッサセルの領域にあるそれぞれの仮想プロセッサについて、該当する変更を施したうえで、それが生成させる各ナノ命令シーケンスを反復しなければならない。

本発明のアドレス・命令ジェネレーター120は、dオペランドの場合について図4に示すような、5つのオペランドアドレスジェネレーターを有している。マクロ命令オペランドd、eおよびfに対しては3つのアドレスユニットがあり、一方、一時的変数tおよびuに対しては2つのアドレスユニットがある。それぞれのオペランドアドレスジェネレーター168には、2つの16ビット・ハイアドレスレジスター181と182、2つの16ビット・ローアドレスレジスター183と184、および2つの1ビット初期設定フラグレジスター185と186が含まれる。これらのレジスターのうちの第1のレジスターはコントロールプロセッサにより直接的にロードされる。一方、第2のレジスターはシリアルライザーにより第1のレジスターからロードされ、これによりシリアルライザーは、コントロールプロセッサが新たなマクロ命令を提供しているあいだに、1つのマクロ命令を処理することができる。このほかに、3つのカウンタースなわ

16ビット・ハイアドレスカウンタ187、16ビット位置アドレスカウンタ188、および16ビット・ローアドレスカウンタ189が含まれる。

ハイアドレスレジスター181と182のそれぞれは、カウンタ186と同じく、ある1つのオペランドの最上位ビット(MSB)の仮想アドレスを含み、一方、ローアドレスレジスター183と184のそれぞれは、カウンタ189と同じく、対応するオペランドの最下位ビット(LSB)の仮想アドレスを保持する。初期設定フラグ185と186は、それぞれ、当初にハイアドレスレジスターの内容がロードされるべき各ビット位置アドレスカウンタ188に対して設定され、あるいは、当初そのビット位置アドレスカウンタにロードカウンタの内容がロードされるべきであれば、クリアされる。ラン信号191はシリアルライザーがマイクロコードを実行しているときに設定され、そしてd-dh信号190は、dカウンタ188をdhカウンタ187からロードするマイクロコードを実行しているときに設定される。

図4に示す5つのシリアルライザーアドレスユニットのレジスターとカウンタに加えて、シリアルライザーは、図5のレジスター202を経由してコントロールプロセッサから情報を受け取る。マイクロプログラムアドレスレジスター203と204、およびマイクロプログラムアドレスカウンタ206は、各シリアルライザーサイクルの終端でロードされる。メモリーレジスター208はシリアルライザーがマイクロコードの実行を開始するときにレジスター204からロードされ、そしてシリアルライザーがランしているあいだは、マイクロプログラムによって生成させられるブランチアドレスからロードされる。各シリアルライザーサイクルの終端でシリアルライザーがマイクロプログラムメモリーアドレスレジスター206をロードするときは、シリアルライザーはまた、アドレスレジスター206にロードされつつあるアドレスで、図1のコントロールプロセッサデータメモリー114からデータワードを読み取る。このデータは、それぞれ64ビットワイドの前置オペランドレジスターF0およびF1(それぞれ210および212)に読み込まれる。fオペランドアドレスユニットからのfビットアドレスカウンタのローオーダー6ビット214は、64:1マルチプレクサー216を経由して、前置並列変数の現行ビット216となるように、F1レジスターに1

つのビットを選択する。

オペランドアドレスユニット168のタイミングは図6に示す通りである。ここにnは、各物理プロセッサセルの領域内における仮想プロセッサの数である。シリアルライザーはコントロールプロセッサから受け取るそれぞれのマクロ命令に対して該当するマイクロコードをn回実行し、それぞれの仮想プロセッサについて1つずつパスを行う。符号192などで示した縦線はサイクル間に通んだ境界であって、この時点でシリアルライザーのレジスターとカウンタにデータをロードすることができる、すなわちインクリメントが可能である。パス193などの各仮想プロセッサパスには1クロックサイクル194が先行し、そしてこのクロックサイクルの間にシリアルライザーは1つのデフォルト・ナノ命令を発生させ、そして次のパスのためのワーキングレジスターとカウンタを初期設定する。

コントロールプロセッサは、オペランドアドレスユニットのシリアルライザーレジスターの第1セットdh0、d10およびdf0に、シリアルライザーがマクロ命令i-1(196)のための最初の仮想プロセッサパス195を開始した時点から同じくシリアルライザーがマクロ命令i-1のための最後のパスを終了する1クロックサイクル前の時点(197)までの間に、マクロ命令iのための該当する値をロードする。シリアルライザーは、それが時点198で示すマクロ命令i-1の最後の仮想プロセッサパスを終了するときに、これらの値を、パイプラインレジスターの第2のセットdh1、d11およびdf1に複写する。ついでシリアルライザーは、マクロ命令iのための各仮想プロセッサパスに先行する各サイクル199の終端において、ハイアドレスレジスターとローアドレスレジスター(dh1とd11)から、3つのカウンタ-dh1、d、およびd1をロードする。各仮想プロセッサパスの残りのサイクルの間、シリアルライザーは、マクロ命令のための選択されたマイクロコードシーケンスを実行しかつマイクロコードの指令に従って各仮想プロセッサのためのアドレスカウンタを修正することにより、マクロ命令iのためのナノ命令シーケンスを発生させる。

パス193などの各仮想プロセッサパスは、複数のサイクル200からなる。またシリアルライザーは、各サイクルのあいだに1つの有効ナノ命令を発生さ

せるように設計される。

シリアルライザーは、各シリアルライザークロックサイクル199の終端で、各オペランドアドレスユニットの3つのカウンタ187~189の内容を、インクリメントならびにデクリメントすることができる。ビット位置アドレスカウンタ188などのカウンタをインクリメントならびにデクリメントする能力は、1つのオペランドのすべてのビット位置を順々にアドレスするために必要である。コントロールプロセッサから受け取ったマクロ命令の結果として実行されるシリアルライザーマイクロコードは、カウンタがインクリメントされるべきかデクリメントされるべきかを指令する。

各物理プロセッサのメモリーは、図7Aのメモリーマップ220に示すように区分される。このメモリーマップには、プロセッサアレイ内の物理プロセッサ位置を記述するフラグを有する物理フラグ・セグメント222と、一時メモリー記憶領域224が含まれる。残りのメモリーは、長さそれぞれVビットの、X、Y、Z個の等しい仮想プロセッサメモリー領域226に区分される。

それぞれの物理プロセッサセルは、各マクロ命令を、その領域にある各仮想プロセッサごとに1回ずつ、全部でX、Y、Z回実行しなければならない。図7Bのメモリーマップ230は、長さVビットの、1つの仮想プロセッサメモリー226のメモリーマッピングを示す。マクロ命令間の、与えられたある1つの仮想プロセッサ226の状態は、全ての変数232の値、そのヒープ234とスタック236の状態、およびそのsフラグ238の値によって記述される。ナノ命令間の仮想プロセッサの状態にはまた、マクロ命令を完成するのに必要な図7Aの一時記憶領域224の値と、物理プロセッサの各レジスターの状態が含まれる。

1つの仮想処理空間を設定するために、コントロールプロセッサは、図8の4つのプロセッサ-x0、y0、sおよびz0(240~246)を以下のようロードする。ただし、Vは1仮想プロセッサのメモリーサイズである。

x0=X、Y、Z、V
y0=Y、Z、V
z0=Z、V

$$s0 = V$$

プロセッサアレイ内での1つのプロセッサセルから別のプロセッサセルへのデータの移動は、以下の構文に従って記述される。

$$a = [\Delta x : \Delta y : \Delta z] b$$

ただし、"a"は宛先プロセッサセルのメモリー内の1つの場所であり、また"b"は元プロセッサセル内の1つの場所である。元プロセッサセルは、宛先プロセッサセルaに対して座標 Δx 、 Δy 、および Δz だけ隔った場所にある。

複数の仮想プロセッサとの間でデータの移動をおこなうマクロ命令を処理するに先立ち、コントロールプロセッサは、3つのレジスタ $d x 0$ 、 $d y 0$ および $d z 0$ (248~252)を以下のようにロードする。

$$d x 0 = (\Delta x - X, \lfloor \Delta x / X, \rfloor) Y, Z, V$$

$$d y 0 = (\Delta y - Y, \lfloor \Delta y / Y, \rfloor) Z, V$$

$$d z 0 = (\Delta z - Z, \lfloor \Delta z / Z, \rfloor) V$$

ここに Δx 、 Δy 、および Δz は、演算 $a = [\Delta x : \Delta y : \Delta z] b$ で示されるような、宛先仮想プロセッサを基準にとったときの、元仮想プロセッサに対する符号付き仮想プロセッサ座標である。表示 $d x 0$ 、 $d y 0$ 、および $d z 0$ は、距離 $d x$ 、 $d y$ 、および $d z$ を該当する領域次元 X 、 Y 、および Z 、でそれぞれ除したときの剰余をあらわす。

図2のアドレス再配置回路162には再配置ベースジェネレーション回路が含まれ、そしてこの再配置ベースジェネレーション回路は仮想ベースジェネレーション回路と遠隔ベースジェネレーション回路からなる。図9の仮想ベースジェネレーション回路260には3つのモジュロカウンタ262、264および266が含まれる。第1のモジュロカウンタ262へのインクリメント入力268は、仮想プロセッサのメモリーサイズ V を含むように前に定義した $s0$ レジスタの値である。各モジュロカウンタは、そのインクリメント入力およびリミット入力各物理プロセッサセルの領域次元 X 、 Y 、および Z の関数として設定されるように、ステージされる。結果として得られる出力 X 、 Y および Z (270~274)は、アッダー276によって加算され仮想ベ

$$t h 0 = \begin{cases} (-1 - \Delta y) / Y, \rfloor, & \Delta y < 0 \\ \Delta y / Y, \rfloor, & \Delta y \geq 0 \end{cases}$$

$$u h 0 = \begin{cases} (-1 - \Delta z) / Z, \rfloor, & \Delta z < 0 \\ \Delta z / Z, \rfloor, & \Delta z \geq 0 \end{cases}$$

それぞれのオペランドアドレスレジスタの各々のハイアドレスカウンタは、その座標のモジュロアッダーがオーバーフローしないときはいつでも、対応する座標の物理アレイを通してデータを移動させなければならない距離を記述するように設定する。関係する座標のためのモジュロアッダーがオーバーフローしないときはいつでも、データは、もう1つの物理プロセッサを通して移動する。データを正座標の方向に移動させる場合には、それぞれのアドレスユニットのビット位置アドレスカウンタは、ハイアドレスカウンタに初期設定し、そしてローアドレスカウンタにカウントダウンする。一方、データを負座標の方向に移動させる場合には、ビットアドレスカウンタは、ローアドレスカウンタに初期設定し、そしてハイアドレスカウンタにカウントアップする。出力信号 $x + d x$ 、 $y + d y$ 、および $z + d z$ (288~292)は、アッダー294によって加算され、遠隔ベース信号206を生ずる。

各仮想処理バスの開始点において、図2のマクロプログラム・コントロールユニット178は、オーバーフロービット $x0$ 、 $y0$ および $z0$ を、それぞれ、 F 、 T および U アドレスユニットのハイビット位置アドレスカウンタ187(図4)に加算する。さらにまた、データを正の方向に移動させるべき各座標について、対応するオーバーフロービット $x0$ 、 $y0$ および $z0$ は図4の対応する位置アドレスカウンタ188にも加算される。このようにして、 F 、 T および U アドレスユニットの各々は、それぞれの仮想処理バスのあいだの物理プロセッサセルの移動数をカウントするように、正しく初期設定される。

例として、領域次元4、1、1を有する物理プロセッサ300~306のための、 $a = [-11, 0, 0] b$ の形の、プロセッサ間通信演算を図11Aおよび図11Bに示す。仮想処理を開始させた結果として、コントロールプロセッサは、各物理プロセッサの領域次元を設定するため、以下に示すように s

ス信号278が得られ、そしてそのあと、この仮想ベース信号は仮想アドレスに加算されて、アレイの全てのプロセッサセルに物理アドレスを生成させる。

図10の遠隔ベースジェネレーション回路280には3つのモジュロアッダー282、284および286が含まれ、そしてこれらが1つずつ、座標 X 、 Y および Z に対応する。これらのモジュロアッダーはそれぞれ、総和出力とオーバーフロー出力を生成させる。総和出力は次のいずれかに等しい。(a)ベースインクリメント<リミットならば、ベースインクリメント (b)ベースインクリメント \geq リミットならば、ベースインクリメント-リミット。オーバーフロー信号は、ベースインクリメント \geq リミットならば正規出力に等しく、ベースインクリメント<リミットならばこの入力信号の補数に等しい。

インタープロセッサ通信マクロ命令を実現するマイクロコードは、データを X 、 Y および Z 方向に移動させる物理プロセッサの数をカウントするために、それぞれ F 、 T および U を使用する。各座標でデータを移動させなければならない物理プロセッサの数を記述するため、シリアライザーは、 F 、 T および U オペランドについてオペランドアドレスユニットを以下のように初期設定する。

$$f f 0 = \begin{cases} 0, & \Delta x < 0 \\ 1, & \Delta x \geq 0 \end{cases}$$

$$t f 0 = \begin{cases} 0, & \Delta y < 0 \\ 1, & \Delta y \geq 0 \end{cases}$$

$$u f 0 = \begin{cases} 0, & \Delta z < 0 \\ 1, & \Delta z \geq 0 \end{cases}$$

$$f i 0 = t i 0 = u i 0 = 1$$

$$f h 0 = \begin{cases} (-1 - \Delta x) / X, \rfloor, & \Delta x < 0 \\ \Delta x / X, \rfloor, & \Delta x \geq 0 \end{cases}$$

0、 $y0$ および $z0$ をすでにロードしている。ただし、 V は各仮想プロセッサに割り付けられたメモリービットの数である。

$$x0 = 4V$$

$$y0 = V$$

$$z0 = V$$

$$s0 = V$$

この例の場合には、 $\Delta X = -11$ 、 $\Delta y = 0$ 、および $\Delta z = 0$ である。

図11Bの表は、各仮想プロセッサにおけるこの演算のための、キーレジスタと信号の値を示す。パス1のあいだ、仮想ベースコンパレータ回路の x レジスタはクリアされており、したがって0の仮想ベースを生成する。遠隔ベースジェネレーション回路のモジュロアッダー回路は、オーバーフロー信号 $x0$ を発生し、したがって f および h のレジスタに1が加算され、これにより元物理プロセッサ(たとえば300)が宛先物理プロセッサ(たとえば306)から3プロセッサだけ離れていることが示される。遠隔ベース(これは元オペランドを再位置する)は V である。一方、仮想ベース(これは宛先オペランドを再位置する)は0である。これは、物理プロセッサ300の領域内にある仮想プロセッサ308から、物理プロセッサ306の領域内にある仮想プロセッサ310へのデータ移動に対応する。第2の仮想処理バスのあいだに、 x レジスタは0から V へインクリメントされ、元または遠隔ベース0、ならびに宛先または仮想ベース V をもたらす。第4のパスではオーバーフロービット $x0$ は0になり、このため f および h のレジスタは、バスの開始点でインクリメントされない。つぎにデータは、2つの物理プロセッサのみを通して、物理プロセッサ302から物理プロセッサ306へ、そしてまた物理プロセッサ300から物理プロセッサ304へ移動する。

図2のナノ命令ジェネレーション回路166の詳細を図12に示す。この回路は、5つのビット位置カウンタ320~328、仮想ベース278、遠隔ベース296、およびナノ命令メモリー124に記憶されたナノ命令の表の数値から、ナノ命令を発生させる。マイクロプログラムの制御のもとで、マクロ命令レジスタ330にナノ命令インデックスビット332がロードされ、そしてこれ

らのナノ命令インデックスビットが、ナノ命令メモリー 24 内の該当するナノ命令テンプレートを指定する 1 つのナノ命令アドレス 334 を発生させる。マルチプレクサ 336 は、信号 338 の制御のもとに、0、隔隔ベース 296 または仮想ベース 278 がアッダー 342 によって選択されたビットオペランドアドレス信号 340 に加算されるべきか否かを指令する。この結果としてアッダー 342 から得られる出力信号 344 は、オペランドデータの物理アドレスである。この物理アドレスはアッダー 346 によってナノ命令に加算され、ナノ命令レジスタ 348 に記憶され、そして次のシリアルライザサイクルの開始時にプロセッサレイの各プロセッサに流される。

通常の技術的な熟達をもってなしうる本発明に対する変更および置換は、本発明ならびに以下添付する請求項の範囲内のものであると考える。

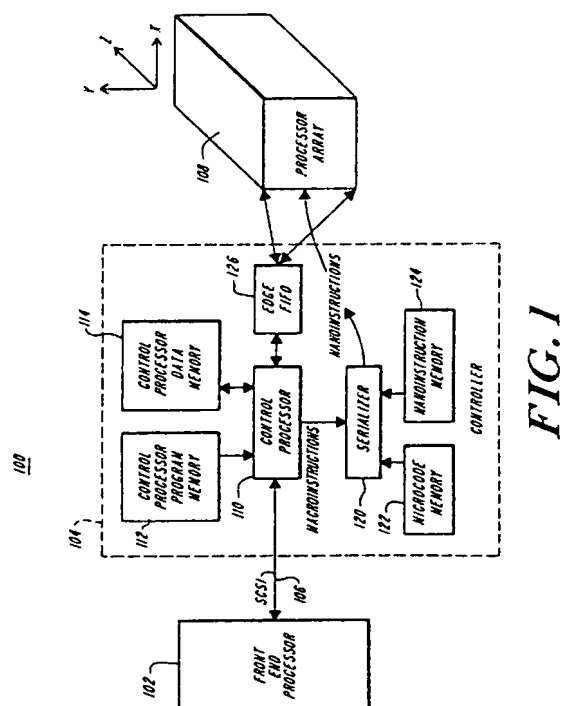


FIG. 1

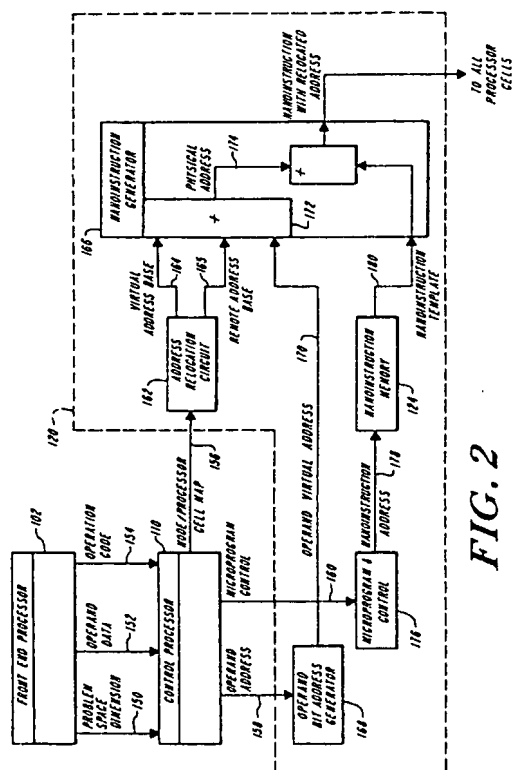


FIG. 2

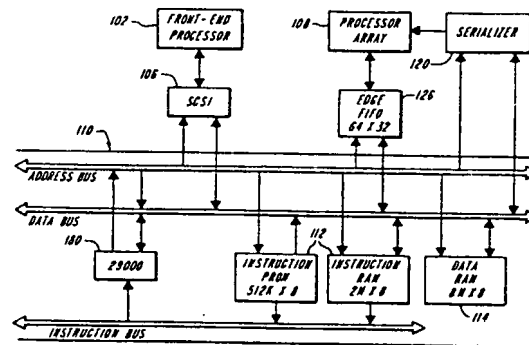


FIG. 3

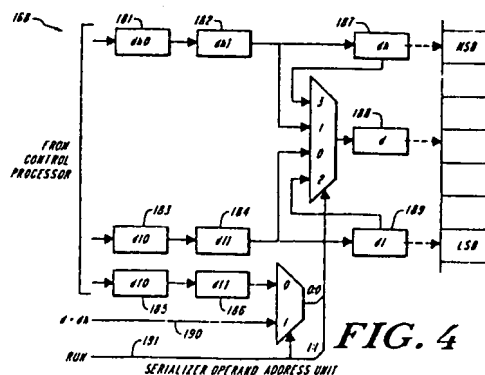


FIG. 4

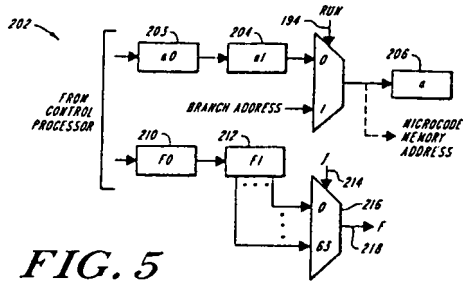


FIG. 5

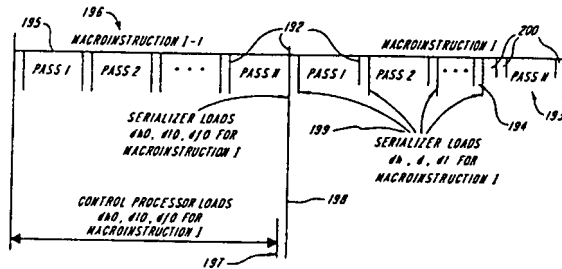
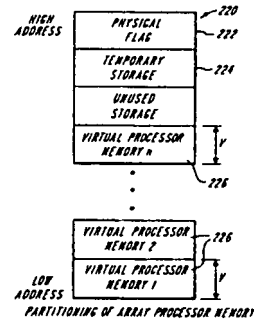


FIG. 6



要約

問題空間のノード数より少ない数のプロセッサセルを有していても差し支えない多次元プロセッサレイ(108)などの並列処理レイにプロセッサ命令を生成するための、仮想処理アドレス・命令ジェネレーター(120)を含む並列処理システム(100)。この並列処理システムは、各々の物理プロセッサセルのメモリー(230)をいくつかの等しい部分に分割し、そしてこの分割された部分のそれぞれに問題空間のそれぞれのノードが対応する。つぎに命令ジェネレーターは、与えられた問題空間のそれぞれのノードに対して1つのプロセッサセル命令を生成し、そしてこの命令シーケンスのそれぞれについて、該当するアドレス変更がアドレス再配置回路(166)によって与えられる。

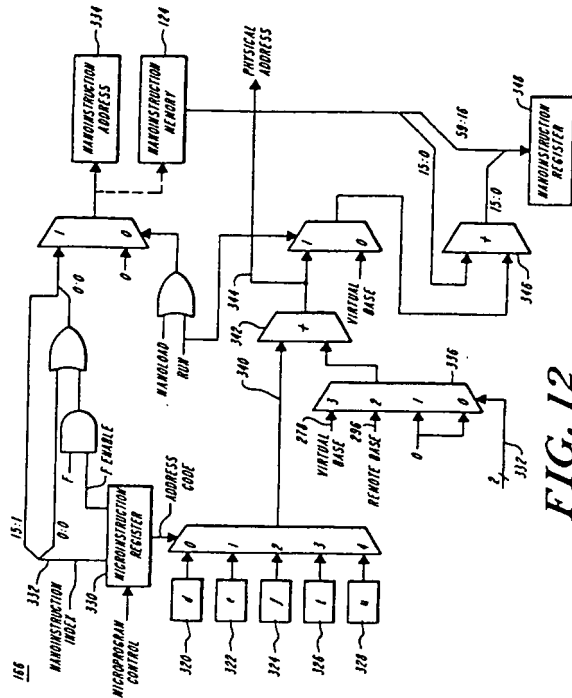


FIG. 12

國際調查報告

[illegible]

第1頁の続き

④発明者 リー、ミンーチイ

アメリカ合衆国 27511 ノースカロライナ州 キャリイ、カレン
コート 126

[illegible][illegible]

Job Number: 271

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-27745

(43) 公開日 平成9年(1997)1月28日

(51) Int.Cl.*	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 19/177		9199-5K	H 0 3 K 19/177	
G 0 6 F 1/10			G 0 6 F 15/78	5 1 0 P
	15/78	5 1 0		1/04 3 3 0 Z
H 0 1 L 21/82			H 0 1 L 21/82	A
H 0 3 K 19/0175			H 0 3 K 19/00	1 0 1 N
審査請求 未請求 請求項の数11 OL (全 16 頁)				

(21) 出願番号 特願平8-131831

(22) 出願日 平成8年(1996)5月27日

(31) 優先権主張番号 4 5 9 1 5 6

(32) 優先日 1995年6月2日

(33) 優先権主張国 米国 (US)

(71) 出願人 390009531

インターナショナル・ビジネス・マシー
ズ・コーポレーションINTERNATIONAL BUSIN
ESS MACHINES CORPO
RATIONアメリカ合衆国10504、ニューヨーク州
アーモンク (番地なし)

(72) 発明者 スコット・ホイットニー・グールド

アメリカ合衆国05403 バーモント州サウ
ス・バーリントン ミル・ボンド・レーン
15

(74) 代理人 弁理士 合田 潔 (外2名)

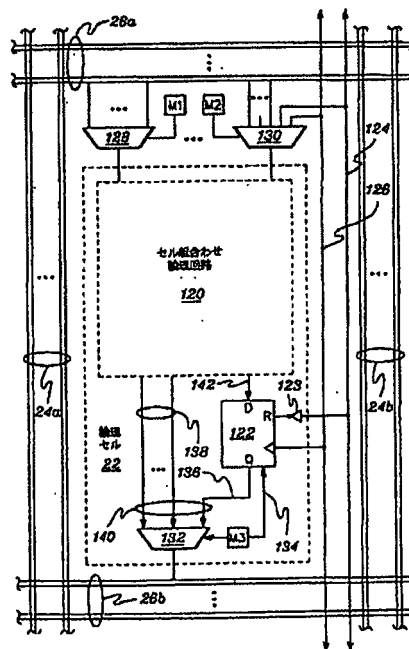
最終頁に続く

(54) 【発明の名称】 プログラマブル・アレイ・クロック/リセット

(57) 【要約】

【課題】 プログラマブル・アレイにおけるクロック信号およびリセット信号配布のための信号配布アーキテクチャを提供する。

【解決手段】 このアーキテクチャは、アレイの論理セルにクロック信号とリセット信号を配布する別々の回路網を備える。各回路網は、複数のシステム・クロック信号またはシステム・リセット信号から列クロック信号または列リセット信号を選択する複数の列マルチプレクサを備える。論理セルの各列内に、複数の列クロック信号または列リセット信号からセクタ・クロック信号またはセクタ・リセット信号を選択するセクタ・マルチプレクサを配置する。このクロック信号またはリセット信号を、所与のセクタ・マルチプレクサに関連する各論理セルの組合せ論理回路と順序論理回路に送る。クロック・ゲート回路を、各論理セル内の出力マルチプレクサと協調的に制御する。これらの回路網を、信号伝搬距離に応じて信号源バッファリング、マルチプレクサ信号バッファリング、出力ドライバのサイズ決定を行うなど、信号スキューを最小限するための機構を使用して設計する。



【特許請求の範囲】

【請求項1】複数の論理セルを有するプログラマブル・アレイのための信号配布アーキテクチャであって、前記信号配布アーキテクチャはクロック／リセット配布網を含み、前記クロック／リセット配布網が、

複数の論理セルのうちの第1のグループの論理セルのために、複数のシステム・クロック／リセット信号から第1のグループ・クロック／リセット信号を選択する第1のプログラマブル・マルチプレクサと、

複数の論理セルのうちの第2のグループの論理セルのために、複数のシステム・クロック／リセット信号から第2のグループ・クロック／リセット信号を選択する第2のプログラマブル・マルチプレクサと、

第1および第2のグループの論理セルのうちの1つのグループの論理セルのサブグループのために、少なくとも第1および第2のグループ・クロック／リセット信号を含む複数のグループ・クロック／リセット信号から、論理セルのサブグループの論理セルに使用可能なサブグループ・クロック／リセット信号を選択する第3のプログラマブル・マルチプレクサとを備える、信号配布アーキテクチャ。

【請求項2】第1のグループの論理セルのために、複数のシステム・リセット／クロック信号から第1のグループ・リセット／クロック信号を選択する第1のプログラマブル・マルチプレクサと、

第2のグループの論理セルのために、複数のシステム・リセット／クロック信号から第2のグループ・リセット／クロック信号を選択する第2のプログラマブル・マルチプレクサと、

論理セルのサブグループのために、少なくとも第1および第2のグループ・リセット／クロック信号を含む複数のグループ・リセット／クロック信号から、論理セルのサブグループの論理セルに使用可能なサブグループ・リセット／クロック信号を選択する第3のプログラマブル・マルチプレクサとを備えるリセット／クロック配布網をさらに含む、請求項1に記載の信号配布アーキテクチャ。

【請求項3】少なくとも1つのプログラマブル・マルチプレクサが、

出力と、

複数の入力と、

複数の入力バッファのうちの各入力バッファが少なくとも1つのプログラマブル・マルチプレクサの複数の入力のうちのそれぞれの1つの入力に接続された入力を有し、複数の入力バッファのうちの各入力バッファがさらに出力を有する、複数の入力バッファと、

複数のプログラム可能要素とを含み、

前記複数のプログラム可能要素の各プログラム可能要素が、

複数の入力バッファの各入力バッファの出力に接続され

た第1の導電端子と、

少なくとも1つのプログラマブル・マルチプレクサの出力に選択された信号を供給する第2の導電端子とを備え、

選択された信号が少なくとも1つのプログラマブル・マルチプレクサを介して再駆動されるようになっていることを特徴とする、請求項1に記載の信号配布アーキテクチャ。

【請求項4】第1および第2のプログラマブル・マルチプレクサのうちの少なくとも一方が固定論理状態入力を含み、グループ・クロック／リセット信号が複数のシステム・クロック／リセット信号および固定状態論理入力から選択されることを特徴とする、請求項1に記載の信号配布アーキテクチャ。

【請求項5】第1および第2のプログラマブル・マルチプレクサのうちの少なくとも1つがプログラマブル・アレイの相互接続構造体から派生した入力を含み、グループ・クロック／リセット信号が複数のシステム・クロック／リセット信号および派生入力から選択されることを特徴とする、請求項1に記載の信号配布アーキテクチャ。

【請求項6】外部信号源から複数のシステム・クロック／リセット信号のうちの少なくとも1つのシステム・クロック／リセット信号を受け入れるI/Oブロックと、I/Oブロックとクロック／リセット配布網の間に接続され、I/Oブロックから少なくとも1つのクロック／リセット信号をクロック／リセット配布網に選択的に供給するプログラム可能要素とをさらに含む、請求項1に記載の信号配布アーキテクチャ。

【請求項7】行と列の形で配置された複数の論理セルとクロック・リセット配布網を有するプログラマブル・アレイであって、前記クロック・リセット配布網が、各第1のプログラマブル列マルチプレクサが複数のシステム・クロック／リセット信号から列クロック／リセット信号を選択し、選択した列クロック／リセット信号を論理セルの各列に供給する、論理セルの各列のための第1のプログラマブル列マルチプレクサと、

第1の複数のプログラマブル・セクタ・マルチプレクサの各プログラマブル・セクタ・マルチプレクサが論理セルの各列の論理セルのセクタに対応し、複数の選択された列クロック／リセット信号からセクタ・クロック／リセット信号を選択し、選択したセクタ・クロック／リセット信号を論理セルの各列の論理セルの各セクタに供給する、論理セルの各列のための第1の複数のプログラマブル・セクタ・マルチプレクサとを含む、プログラマブル・アレイ。

【請求項8】第1の複数の論理セルを有し、該論理セルの各々が、

複数の入力と1つの出力を有するプログラマブル入力マルチプレクサと、

10

20

30

40

50

プログラマブル入力マルチプレクサの出力に接続された入力に有し、出力をさらに有する組合せ論理回路と、組合せ論理回路の出力に接続された入力に有し、クロック／リセット入力をさらに有する順序論理回路と、選択されたクロック／リセット信号を第1の複数の論理セルの各論理セルのプログラマブル入力マルチプレクサの入力と第1の複数の各論理セルの順序論理回路のクロック／リセット入力とに供給する、第1の複数の論理セルに関連するプログラマブル・クロック／リセット・マルチプレクサとを備えることを特徴とするプログラマブル・アレイ。

【請求項9】プログラマブル・アレイの複数の論理セルに少なくとも1つのクロック／リセット信号を配布するクロック／リセット配布網を有するプログラマブル・アレイであって、複数の論理セルのうちの少なくとも1つの論理セルが、

複数の入力と、1つの出力と、1つの制御要素とを有するプログラマブル出力マルチプレクサと、

プログラマブル出力マルチプレクサの複数の入力の1つに接続された出力を有し、クロック／リセット信号入力をさらに有する順序論理回路と、

順序論理回路のクロック／リセット信号入力とクロック／リセット配布網の間に接続され、制御要素にตอบสนองしてクロック／リセット信号をゲート制御して順序論理回路に送るクロック／リセット・ゲート回路とを含む、プログラマブル・アレイ。

【請求項10】プログラマブル・アレイのためのプログラマブル・マルチプレクサであって、前記プログラマブル・マルチプレクサは、

複数の信号経路の各信号経路が入力と出力とを備えた複数の信号経路を含み、前記信号経路のうちの少なくとも1つは、

信号経路の入力に接続された入力に有し、出力をさらに有する入力インバータと、

入力インバータの出力に接続された第1の導電端子を有し、少なくとも1つの信号経路の出力を含む第2の導電端子をさらに有するプログラム可能要素と、

複数の信号経路の各信号経路の出力に接続された入力に有し、少なくとも1つのプログラマブル・マルチプレクサの出力を含む出力をさらに有して、選択された信号を少なくとも1つのプログラマブル・マルチプレクサを介して再駆動することができるようにになっている、出力インバータとを含む、プログラマブル・マルチプレクサ。

【請求項11】集積回路のための低スキュー信号配布アーキテクチャであって、

信号源と、

第1の複数の1次配布回路の各1次配布回路が出力段を有する、第1の複数の1次配布回路と、

前記信号源と第1の複数の1次配布回路の各1次配布回路との間の第1の導電経路とを含み、前記信号源から伝

送された信号がそれぞれの遅延後にそれぞれの1次配布回路に到着し、それぞれの遅延が各第1の伝搬経路を通る前記信号源からそれぞれの1次配布回路までのそれぞれの伝搬距離に一般に比例するようになっており、それぞれの遅延を補正するためにそれぞれの1次配布回路の出力段のサイズが各第1の導電経路を通るそれぞれの伝搬距離に応じて決定されて、第1の複数の1次配布回路の1次配布回路からそれぞれ出力される信号間のスキューが最小化されるようになっていていることを特徴とする、低スキュー信号配布アーキテクチャ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、集積回路に関し、具体的には複数のプログラマブル論理セルを有するプログラマブル集積回路を含むプログラマブル集積回路素子のためのクロックおよびリセット信号の配布アーキテクチャに係わる。

【0002】

【従来の技術】プログラマブル集積回路は、当技術分野で周知であり、プログラマブル論理素子(PLD)、プログラマブル・アレイ論理(PAL)、およびプログラマブル論理アレイ(PLA)を備える。これらのプログラマブル回路はそれぞれ、入力AND論理面の後にOR論理面が続いている。したがって入力項の積の和である出力関数を計算することができる。論理面は通常、面の初期汎用レイアウトを特定用途用にカスタマイズすることができるように、プログラム可能になっている。

【0003】プログラマブル回路のより一般的な手法は、異なる不拘束論理セルのアレイをプログラマブル・ゲート・アレイ(PGA)に設ける。プログラマブル相互接続網は、セルを相互接続し、アレイとの間でデータの入出力を行うために設けられる。特定用途向けに、汎用設計の論理セルと相互接続網のカスタマイズまたはプログラムが行われる。このようなアレイの1つはマスク・プログラマブル・ゲート・アレイ(MPGA)であり、集積回路に金属化の最終層を付加するときセルと配線網の構成が行われる。改変された手法では、レーザー照射エネルギーを使用して金属化パターンをカスタマイズする。他のこのようなアレイは、フィールド・プログラマブル・ゲート・アレイ(FPGA)であり、構成はユーザが「現場(フィールド)」で行うことができる。このような構成は、電気的プログラム可能ヒューズ・リンク、アンチヒューズ、メモリ制御トランジスタ、フローティング・ゲート・トランジスタなどを使用して行うことができる。PGAのセルは、PALまたはPLAにおけるようなAND/ORマクロセルを含む、任意のタイプの周知の論理セルとすることができる。

【0004】アレイの各論理セルは、組合せ論理段または順序論理段を備えることが多い。1つの一般的な実施態様では、セル順序段はセル組合せ段とカスケード接続

10

20

30

40

50

される。組合せ段はセル入力に対して論理関数を実行し、順序段はその結果の記憶と出力のために使用される。論理セルの順序段（たとえばフリップフロップ）は、正常な動作のために、データ入出力に加えてクロック信号とリセット信号を必要とすることが多い。

【0005】

【発明が解決しようとする課題】多くの従来の手法では、単一のクロック信号と単一のリセット信号がアレイの各入力パッドに供給され、アレイの各順序段に内部で経路指定される。したがって、このようなアレイを使用するユーザ・プログラム設計は、単一クロックおよびリセット実施態様となるように制約される。アレイの各部分は、他の部分から論理的に区分されている場合であっても、アレイ規模のクロックおよびリセット方法に従う必要がある。論理セル密度を高くすることができる半導体技術の進歩に伴って、アレイが論理的に区分化される公算が高くなる。

【0006】さらに、半導体技術の進歩に伴ってプログラマブル・アレイの密度とクロック速度が向上しているため、アレイ規模のタイミング許容差が小さくなりつつある。信号源（たとえばチップ・パッド）から論理セルに送られるクロック信号またはリセット信号に関連する伝搬遅延は、論理セルとクロック信号源またはリセット信号源との間の距離に比例して変化する。論理セルは必然的にアレイ内の使用可能な基板面積にわたって分散されているため、論理セルとクロック信号源またはリセット信号源との間の距離は変わることになる。この変化によって、論理セルに送られる信号間にスキューが生じ、それは高密度、高速のアレイのタイミング許容差の範囲を超える可能性がある。

【0007】したがって、必要なのは、従来の手法のアレイ規模の設計の制約を克服し、アレイ全体にわたるクロック信号およびリセット信号のスキューを最小限にする技法を使用した、柔軟性のあるクロックおよびリセット配布アーキテクチャである。

【0008】

【課題を解決するための手段】簡単に述べると、本発明は1つの態様では、その中に行と列の形で配置された複数の論理セルを有するプログラマブル・アレイを含む。このプログラマブル・アレイは、論理セルの各列について第1のプログラマブル列マルチプレクサを含むクロック／リセット配布網を備え、各プログラマブル列マルチプレクサは複数のシステム・クロック／リセット信号から列クロック／リセット信号を選択し、選択された列クロック／リセット信号を論理セルの各列に送るように機能する。

【0009】論理セルの各列ごとに第1の複数のプログラマブル・セクタ・マルチプレクサを設ける。各プログラマブル・セクタ・マルチプレクサは、論理セルの各列の論理セルのセクタに対応しており、選択された複数の

列クロック／リセット信号からセクタ・クロック／リセット信号を選択し、その選択されたセクタ・クロック／リセット信号を論理セルの各セクタに送る。配布網は、クロック信号とリセット信号のいずれにも使用することができる。第1のプログラマブル列マルチプレクサのうちの少なくとも1つは、固定論理状態入力を含むことができ、その場合、列クロック／リセット信号が複数のシステム・クロック／リセット信号から固定状態論理入力から選択される。第1のプログラマブル列マルチプレクサのうちの少なくとも1つは、プログラマブル・アレイの相互接続構造体から派生した入力を含むこともでき、その場合、列クロック／リセット信号は複数のシステム・クロック／リセット信号と派生入力から選択される。

【0010】プログラマブル・アレイは、少なくとも1つのシステム・クロック／リセット信号を受け入れるI/Oブロックと、その少なくとも1つのシステム・クロック／リセット信号をI/Oブロックからクロック／リセット配布網に選択的に送る、I/Oブロックとクロック／リセット配布網との間に接続されたプログラム可能要素も備えることができる。

【0011】本発明の他の態様では、第1の複数の論理セルを含み、各論理セルが複数の入力と1つの出力を有するプログラマブル入力マルチプレクサを備えた、プログラマブル・アレイを設ける。各セルは、プログラマブル入力マルチプレクサの出力に接続された入力を有しさらに出力を有する組合せ論理回路と、組合せ論理回路の出力に接続された入力を有し、さらにクロック／リセット入力を有する順序論理回路とを備えることができる。

第1の複数の論理セルには、選択されたクロック／リセット信号を第1の複数の論理セルのそれぞれのプログラマブル入力マルチプレクサの入力と第1の複数の論理セルのそれぞれの順序論理回路のクロック／リセット入力とに送る、プログラマブル・クロック／リセット・マルチプレクサが付随している。

【0012】本発明の他の態様では、少なくとも1つのクロック／リセット信号を複数の論理セルに配布するクロック／リセット配布網を有するプログラマブル・アレイを設ける。複数の論理セルのうちの少なくとも1つの論理セルは、複数の入力と、1つの出力と、1つの制御要素とを有するプログラマブル出力マルチプレクサとを備える。このセルは、プログラマブル出力マルチプレクサの複数の入力のうちの1つに接続された出力と、クロック／リセット信号入力とを有する順序論理回路も備える。プログラマブル出力マルチプレクサの制御要素にตอบสนองしてクロック／リセット信号をゲート制御して順序論理回路に送るように、クロック／リセット・ゲート回路を設けて順序論理回路のクロック／リセット信号入力とクロック／リセット配布網の間に接続する。

【0013】本発明の他の態様では、プログラマブル・

アレイのためのプログラマブル・マルチプレクサを設ける。このプログラマブル・マルチプレクサは複数の信号経路を備え、各経路は入力と出力を含む。入力経路のうちの少なくとも1つは、信号経路の入力に接続された入力インバータと出力を備える。入力インバータの出力に接続された第1の導電端子を有し、少なくとも1つの信号経路の出力を含む第2の導電端子をさらに有する、プログラム可能要素を設ける。複数の信号経路のそれぞれの出力に接続された入力を有する出力インバータを設け、出力インバータはマルチプレクサの出力を含む出力をさらに有して、選択された信号を少なくとも1つのプログラマブル・マルチプレクサを介して再駆動することができるようにしている。1つの実施例では、プログラム可能要素はSRAMセルによって制御される伝送ゲートを備える。

【0014】本発明の他の態様では、集積回路のための低スキュー信号配布アーキテクチャを備える。このアーキテクチャは、信号源と、それぞれが出力段を有する第1の複数の1次配布回路と、信号源と各1次配布回路の間の第1の導電経路とを備える。信号源から送られた信号は、それぞれの遅延後にそれぞれの配布回路に到着する。それぞれの遅延は、信号源からそれぞれの1次配布回路までの各第1の導電経路を通るそれぞれの伝搬距離に一般に比例する。それぞれの1次配布回路の出力段は、それぞれの遅延を補正するように第1の導電経路を通る伝搬距離に応じてサイズが決定されおり、第1の複数の1次配布回路から出力される信号のスキューが最小限に抑えられるようになっている。出力段は、集積回路内で配布回路が配置されている領域に応じたサイズとすることができる。

【0015】このアーキテクチャは、前述の低スキュー信号配布アーキテクチャを備えたクロック/リセット配布アーキテクチャを有するプログラマブル・アレイで使用することができる。このプログラマブル・アレイの実施態様では、1次配布回路のうちの少なくともいくつかはプログラマブル・マルチプレクサを備える。

【0016】開示するこの低スキュー信号配布アーキテクチャをプログラマブル・アレイにおけるクロックおよびリセットの配布に使用することによって、プログラマブル・アレイの論理セルに供給されるクロック信号間およびリセット信号間のスキューが最小化され、柔軟性のある多重化手法を使用してアレイ内でのクロックおよびリセット配布の選択肢を拡大することができる。

【0017】

【発明の実施の形態】本発明に関する主題については、本明細書の結論部分で具体的に指摘し、明確に請求している。しかし、本発明は、構成と実施方法の両方について、その目的および利点を含めて、以下の好ましい実施例の詳細な説明と添付図面とを参照すれば最もよく理解することができる。

【0018】図1を参照すると、複数のプログラマブル論理セル12を含む集積回路プログラマブル・ゲート・アレイ10のレイアウトが示されている。この特定の実施例では、複数のプログラマブル論理セルが、セルのセクタに分割された56×56セル・アレイを構成しており、各セクタが8×8セル・グループによって画定されている。このアレイのプログラマブル論理セルは、「プログラマブル論理セル」という名称の米国特許出願の上記組込み部分に従って実現することができる。あるいは、PALまたはPLAにおけるようなAND/ORマクロセルなど、任意のタイプの周知のセルとすることができる。データ入出力に使用される入出力(I/O)ブロック14も、アレイの周縁に沿って図示されている。アレイの入出力部は、「プログラマブル・アレイ入出力一経路指定資源」という名称の米国特許出願の上記組込み部分に従って実施することができる。

【0019】図2を参照すると、図1のアレイのプログラマブル論理セルのうちの単一のセクタ20が示されている。1つのセクタは、連続しているが必ずしも境を接してはいない論理セルの行と列に配置された論理セル22_{1,1}ないし22_{8,8}を含む。論理セル22_{1,1}を参照すると、セルは全体として、たとえば垂直相互接続バス24aおよび24bと、水平相互接続バス26aおよび26bによって囲まれている。これらの水平および垂直の相互接続バスはアレイの各行と各列の間に配置されており、アレイ内の任意の2つの論理セル間、またはアレイ内の任意の論理セルと入出力ブロックとの間を接続可能にする。相互接続バスが一緒になってプログラマブル・アレイのプログラマブル相互接続網全体を形成している。この相互接続網は、「プログラマブル・アレイ相互接続網」という名称の米国特許出願の上記組込み部分に従って形成することができる。範囲30は単に、図示されている列のうちの任意の列内の論理セルのセクタを表しているに過ぎない。

【0020】本発明の原理によると、集積回路のための柔軟性のある信号配布アーキテクチャが提供される。1つの実施例では、このアーキテクチャを、複数の論理セルを有するプログラマブル・アレイで用い、論理セルにクロック信号とリセット信号を配布するために使用する。この実施例におけるアーキテクチャは、アレイ全体にクロック信号を配布するための回路網を含む。図3に、クロック信号配布網の例を図示する。このアーキテクチャは、アレイ全体にリセット信号を配布するための別個の同様の回路網も含むことができる。図4にリセット信号配布網の例を図示する。当業者なら、図3および図4の回路網が類似していることと、いずれの回路網も本発明の原理から逸脱することなくクロック信号またはリセット信号の配布に使用することができることがわかるであろう。

【0021】本明細書で使用する限りにおいて、「クロ

ック／リセット」という表記は、クロックまたはリセットのいずれかを指す。「クロック／リセット」および「リセット／クロック」という表記を本明細書で共に使用する場合は、(1)クロックおよびリセット、または(2)リセットおよびクロック、のいずれかを指す。この表記上の規則は、他の用語にも同様に適用される。したがって、図3の回路網はクロック／リセット網とみなすことができ、図4の関連する回路網はリセット／クロック網とみなすことができる。

【0022】図3を参照すると、論理セルの4つの列41a～dの部分が図示されている。各列の1つのセクタ30のみを図示してある。前述のように、論理セル22はそれに関連する垂直相互接続バス24を有する。水平相互接続バス(図示せず)も備えることができる。1つのアレイ実施例では、論理セルのセクタは中継器またはスイッチ28の配置によって全体的に画定される。当業者なら「セクタ」という用語は、反復する論理セルのアレイ内の論理セルの任意の区画を指すことができることを理解されよう。したがって、セルの各列と、各列内の特定のセクタのセルは、一般的にそれぞれ論理セルのグループおよびサブグループとみなすことができる。クロック配布網はマルチプレクサ42、44、および46と、それらの間のすべての接続とを含む。システム・クロック信号50線(この実施例では6本)が、それぞれ列マルチプレクサ42a～42eへの入力52a～52eの一部として設けられている。(クロック信号50の信号源については以下で図9および図10と関連して詳述する。)列マルチプレクサ42はプログラム可能であり、選択された入力にある信号を選択的に出力に供給することができる。たとえば、マルチプレクサ42bは信号グループ52bから列クロック信号56を選択し、その信号が論理セルの列41a全体を通して送られる。

【0023】本発明の原理によると、選択された各列クロックは2次マルチプレクサまたはセクタ・マルチプレクサ44、46等に送られる。セクタ30については、セクタ・マルチプレクサ44a～44dが図示されている。下にある次のセクタについては、セクタ・マルチプレクサ46a～46dが図示されている。セクタ・マルチプレクサ44aは、信号グループ54aから選択してセクタ・クロック信号58を供給し、その信号が論理セルのセクタ内の8個の論理セルのそれぞれに送られる。本発明の原理によると、マルチプレクサ44への入力は、各列に関連する列クロックのほか、他の列からの列クロックを含む。たとえば、すぐ隣の列からのクロック信号と、2列まで離れた列からのクロックが各マルチプレクサ44への入力として示されている。マルチプレクサ44のサイズは、任意の数の列からの入力を受け入れるように恣意的に増大させることができる。好ましい実施例では、セクタ・マルチプレクサ44は4つの入力を備える。したがって、マルチプレクサ44bへの入力と

して、(マルチプレクサ42cからの)各列クロックと、右のすぐ隣の列マルチプレクサ42dからの列クロックと、左のすぐ隣の2つの列マルチプレクサ42aおよび42bからの列クロックが供給される。このパターンは、たとえば下にある次のセクタのマルチプレクサ46を使用して、アレイの各セクタ内で維持することができる。

【0024】システム・クロック信号50に加えて、各列マルチプレクサ42は派生クロック入力と固定論理入力を受け入れることができる。たとえば図3のマルチプレクサ42eについて示されているように、相互接続バス24から入力62すなわち派生入力を得ることもできる。同様の信号は、各列マルチプレクサ42にも供給することができる。したがって、汎用相互接続網からのクロック信号またはデータ信号を、各列マルチプレクサに供給することができる。さらに、列マルチプレクサには固定論理状態信号60も供給することができる。(当業者なら、図が見やすいように、本明細書のすべての図面では特定の反復機構にはたとえば信号60のように個々の参照番号を付けていないことがわかるであろう。)

【0025】図4には、1つのアレイの列71a～71dのための、本発明の信号配布アーキテクチャのリセット網が図示されている。このリセット網は、それぞれ図3のマルチプレクサ42、44、および46と同様に配置された列マルチプレクサ72とセクタ・マルチプレクサ74および76を含む。列マルチプレクサ72a～72eは、入力信号グループ82a～82eの一部としてシステム・リセット信号80を受け入れる。アレイの各列71aについて入力信号グループ82bから列リセット信号線、たとえば線86が選択される。この実施例では、列リセット・マルチプレクサ72には3つのシステム・リセット信号80しか供給されない。マルチプレクサ72eについて図示されているように、相互接続バス24から第4の入力92、すなわち派生入力も得ることができる。同様の信号は、各列マルチプレクサ72について供給することができる。マルチプレクサ74および76は図3のマルチプレクサ44および46と同様に配置されている。たとえばマルチプレクサ74aは、4つの入力信号84aから選択して、論理セルの各列のセクタ内の各論理セルに供給するセクタ・リセット信号88を生成する。この場合も、前述のように、マルチプレクサ74bは入力としてそれ自体の各列リセットを(マルチプレクサ72cから)受け取るほか、他の列リセット信号も受け取る。たとえば、マルチプレクサ74bには、右のすぐ隣の列マルチプレクサ72dから1つの列リセット信号と、左のすぐ隣の列マルチプレクサ72aおよび72bからのリセット信号が供給される。

【0026】図5に、上記で図3および図4を参照しながら述べたクロック網またはリセット網のアレイ周縁部の状態を図示する。上記で設定した規則に従って、列1

02はそれに付随する列マルチプレクサ106と列クロック信号110を有し、両者は列102の右側に配置されている。左端の列100も同様に右側に位置する列マルチプレクサとクロックを有するが、左側に位置する追加の列マルチプレクサ104と追加の列クロック108も有する。したがって、56の列を含む図1のアレイの場合、その全体に57個の列マルチプレクサと列クロック信号を配置することができる。周縁部にあるセクタ・マルチプレクサへの追加の入力105および107は単にV_{DD}に結合されているに過ぎない。

【0027】当業者なら、図3ないし図5の回路網の図が信号源とその供給先との間の論理的関係を表していることを理解されよう。説明している構成要素の実際の物理的レイアウトは、図3ないし図5とはかなり異なることがある。以下に、レイアウトの1つの例について図1を参照しながら説明する。

【0028】図6に、前述のように関連する相互接続バス24a〜24bおよび26a〜26bを有する1つの論理セル22の詳細を図示する。この論理セルは、セル組合せ論理回路120を選択された相互接続バス信号に接続する関連する入力マルチプレクサ128および130（好ましい実施例ではメモリ・ブロックM1〜M3によって制御される）を有することもできる。セル組合せ論理回路120の出力は、出力138および142を含むことができる。出力138は単純に出力マルチプレクサ132に送ることができるのに対して、出力142は順序回路、たとえばフリップフロップ122に送ることができる。本発明の原理によると、列クロック線126と列リセット線124がセル22の近傍を通り、これらの線からの信号はマルチプレクサ130を介して組合せ論理回路に送られるだけでなく、順序回路122にも送られる。したがって、セル組合せ論理回路内で処理するクロック信号を供給することができ、順序論理回路122の標準動作のためにもクロック信号が供給される。順序論理回路122の出力136は、セル出力マルチプレクサ132にも送ることができる。したがって、信号140から選択された出力信号が出力マルチプレクサ132から相互接続バス26bに戻される。

【0029】1つの実施例では、順序論理回路122の出力136をメモリ・ブロックM3によってマルチプレクサ132で選択しない場合（これはフリップフロップ122を使用しないことを意味する）、制御メモリ・ブロックM3からのゲート信号134（他の関連出願ではLATCHSまたはLATCHSビットとも呼んでいる）を、ゲート信号134と順序論理回路122の間に結合されたクロック・ゲート回路（図6には図示せず）に供給することができる。このようなクロック・ゲート回路150を図7に示す。このクロック・ゲート回路は、トランジスタT1およびT2を備えるインバータと、トランジスタT5およびT8を備える第2のインバ

ータとを含む。クロック入力がノード152を介して供給され、プルアップ・トランジスタおよびプルダウン・トランジスタT3およびT4をそれぞれ制御するクロック・ゲート信号がノード134を介して供給される。クロック・ゲート信号が論理1の場合、図6のマルチプレクサ132で出力136が実際に選択されたことを意味し、図7のトランジスタT4がイネーブルされ、したがって両方のインバータがイネーブルされて、クロック信号156とクロック信号154の補数とを生成し、これらの信号が供給されて順序論理セルのフリップフロップを動作させる。クロック・ゲート信号が論理0に設定された場合、出力136が図6のマルチプレクサ132によって選択されないことを意味し、トランジスタT4がディスエーブルされ、プルアップ・トランジスタT3がイネーブルされ、それによってクロック出力154および156が単に固定状態に設定される。この回路を使用することによって、アレイはユーザ出力選択に応答して自動的にクロック信号をゲート制御して順序回路に送り、順序回路における不要なCMOSスイッチングに伴う電力ドレーンが回避される。

【0030】当業者には、前述のマルチプレクサおよびスイッチに必要な接続を設ける多くの方法があることが明らかであろう。たとえば、マルチプレクサにおける信号経路はバス・トランジスタと、EPROMと、装着されている線間の所望の分離または接続を行うヒューズ・リンクまたはアンチヒューズとを含むことができる。ユーザは、任意の特定のマルチプレクサを介した接続が必要であれば、その接続を行うように適切なプログラミングを行うだけでよい。レーザ・プログラム素子は、交差点で任意選択の溶接を使用することもできる。必要な接続は溶接を含めたり除外したりすることによって行う。マスク・プログラム素子は、適切な接続を含めるか省くかするだけでよい。プログラムの前には選択可能な信号が複数あってプログラム後にはその信号の1つが選択される信号選択のための構造体を、本明細書ではマルチプレクサと呼ぶ。本明細書を通して使用している「接続」とは、特に明記のない限り、導線間の直接導通接続か、または間接ではあるが一方の導線からの情報が他方の導線に送られる間接（たとえばバッファ付き／反転）インタフェースを広義に指す。同様に、「入力」または「出力」とは、特に明記のない限り、直接または間接（たとえばバッファ付き／反転）インタフェースを示す。

【0031】一般に、信号源とそのそれぞれの供給先すべてとの間に一定した遅延を維持することが望ましいため、本発明の信号配布アーキテクチャの好ましい実施例はそれらの遅延を最小限にするように設計され、それによって低スキュー信号配布を行う。以下に、図8ないし図11を参照しながら本発明の低スキュー信号配布機構について説明する。

【0032】図8を参照すると、図3ないし図5の回路

網内のいずれのマルチプレクサにも使用可能な低スキュー・マルチプレクサ160が図示されている。マルチプレクサ160は、構成要素162~170を備える入力信号経路を含む複数の信号経路を含む。このマルチプレクサは、構成要素172~176を備える共通接続された出力経路を有する。入力信号経路は、入力ノード162の後にインバータ164を備える。インバータの出力は、相補形トランジスタ166および168を含む電界効果トランジスタ伝送ゲートの第1の導電端子に接続されている。トランジスタのゲートはメモリ・セル170によって制御することができる。(この電界効果トランジスタ・ゲート/メモリ・セルの組合せは、前述のように当技術分野で周知の任意のプログラム可能要素に置き換えることもできる。)マルチプレクサの各信号経路の伝送ゲートの第2の導電端子がノード172に接続され、ノード172はさらに出力インバータ174の入力に接続されている。したがってインバータ174の出力176はマルチプレクサ160の出力である。図3ないし図5の回路網内の長くなる可能性のある信号経路に、

【0033】1つの実施例では、各マルチプレクサの出力インバータをなくして、その代わりに各信号供給先にインバータを配置することができる。これは、図6のリセット線124に使用されている手法であり、このリセット線124はその供給先、すなわちフリップフロップ122の近傍にあるインバータ123に接続されている。

【0034】図9および図10に、外部信号源からチップ・パッドで受信したクロック信号またはリセット信号をバッファリングするために使用する回路の他の実施例を示す。図9には、図3の列マルチプレクサ42にクロック信号を配布するために使用するバッファの実施例が図示されている。この回路は、チップ・パッド210上に送られたクロック信号をバッファリングする入力バッファ212を備える。バッファ212はこの信号をバッファリングして、別のバッファ回路200が配置されているチップ上の中央位置に送ることが好ましい。回路200は、NANDゲート204の後にインバータ202を備えている。バッファリングされたクロック信号は、NANDゲートの1つの入力に送られ、レジスタ206(またはその他の任意のユーザ定義信号源)からの制御可能なレジスタ信号が、NANDゲートの第2の入力に送られる。次に、インバータ202の出力、すなわち信号線214がチップ全体に経路指定され、各列マルチプレクサ42の入力(たとえば52)に送られる。図9の回路は、図3に図示されている8本のシステム・クロック信号線50のそれぞれについて繰り返される。レジス

タ206を使用して、アレイの構成時またはアレイの動的再構成時に、クロック信号を動的にゲート制御してアレイに送ることができる。したがって、アレイの順序論理回路のクロック状態によって規定されたいずれの状態でも、レジスタを使用して保持することができる。このレジスタを使用して、高機能デバッグ中にクロックをゲート制御して、クロック信号を使用する順序回路を設定状態に保持し、同じ状態で再始動させることができるようにすることもできる。回路200のNAND/インバータ/レジスタの組合せの代わりに、使用可能な任意のタイプのプログラム可能要素を使用することができる。パッド210は二重機能とすることもでき、その場合、線211はパッド信号をアレイ相互接続構造体に送ることができることに留意されたい。パッドをクロック信号専用とする場合は、線211上の信号を単に無視すればよい。すなわち、相互接続網に送るために多重化しない。本明細書では「I/Oブロック」という用語は広義に、アレイへの信号の供給、またはアレイからの信号の搬送、あるいはその両方を行う任意のパッドまたは回路であるものと定義する。

【0035】図10に、図4の入力82から列マルチプレクサ72にリセット信号を供給するための簡略化された回路を図示する。この回路は、チップ・パッド226に送られたリセット信号をバッファリングするバッファ228を備える。回路220は、この場合もチップの中央に配置されることが好ましく、この信号を単にバッファリングして線230に送るカスケード・インバータ222および224を備える。次に線230が各列リセット・マルチプレクサ72に送られる。図10の回路は、図4の3本のリセット信号線80のそれぞれについて3回繰り返されることになる。当業者なら、任意の数のクロック信号またはリセット信号のために任意の数の図9および図10の回路を使用することができることと、いずれの回路もクロック信号とリセット信号のいずれにでも使用することができることを理解されよう。

【0036】図11に、図3ないし図5に図示されている回路網のような低スキュー信号配布網の、チップ300の1象限における物理的配置構成を図示する。図11には、図1に図示されているアレイのようなアレイの左上の象限が図示されている。しかし、以下で図11に関して説明する原理は各象限について繰り返すことができ、任意のタイプの集積回路に使用されるどのような信号配布網にも等しく適用可能である。

【0037】このチップは陰影付き領域322を含み、本明細書ではこれを十字形と総称する。この十字形は単に、チップの中央で交差する両端間をつなぐ水平と垂直の橋を含む、チップ上に画定された領域に過ぎない。範囲304a~304dおよび306a~306dは、図1のプログラマブル・アレイのセクタに一般に対応させることができるチップの領域を画定する。図示されてい

る残りの回路の機能は、線310からの信号の低スキュー配布である。線310は、チップ・パッドからバッファリングされてチップの中央に送られ、それぞれ別々の回路200に送られる。回路200は図9に示すような回路か、図10に示すような回路220か、または任意の汎用バッファ回路を含むことができる。これらの回路の出力は、チップの左に向かって延びる線312と、右に向かって延びる同様の1組の線とを含む。線312のうちの1本、すなわち線316は、1次信号配布回路314を含む線状に配置された1組の1次信号配布回路315に接続されている。図3ないし図5の実施例では、これらの信号配布回路は列マルチプレクサ（たとえば42、72）を備える。各1次信号配布回路は、水平線316から信号を受け取り、1つの列301に共に配置された2次配布回路302a~302dに信号を送るなど、信号を上下にバッファリングする。図3ないし図5の実施例では、2次配布回路はセクタ・マルチプレクサ44、46、74、および76を備える。図3ないし図5のセクタ・マルチプレクサは、前述のように複数の列マルチプレクサからの入力を含み、これは図11では入力318として一般的に図示されている。次に2次配布回路、たとえば回路302cは信号320を論理セルのセクタ内の上下の1組の信号供給先、たとえば論理セル22に供給する。

【0038】1次配布回路315および2次配布回路302をすべて図8の原理に従って設計すれば、それによって低スキュー信号網が作られる。信号のバッファリングは、各1次および2次供給点で行われる。

【0039】当業者なら、線316および318が単に導電経路を表しているに過ぎないことと、この導電経路を（図のように）単一の共通接続線とすることも、共通の信号源に接続されている個々に各供給点（図示せず）に通じている複数の別々の線とすることもできるとを理解されよう。

【0040】各1次配布回路315と2次配布回路302は、通常、出力ドライバ段を含む。1次および2次配布回路がプログラマブル・アレイ内のプログラマブル・マルチプレクサである場合、出力段は図8に図示されているインバータ174のようなインバータとすることができる。本発明の原理によると、各配布回路の出力ドライバ段の素子サイズはそれぞれの信号源からの距離に応じて異なる。図11のアレイでは、線316に接続された1次配布回路315はグループ化され、ゾーン306a~306d（この場合もこれらの領域は図1に図示されているようなアレイのセクタとすることができ、その*

*場合ゾーン306aは中央セクタの半分となる）に配置されている。各配布回路の出力ドライバ段は、信号源である回路200からの線316の伝搬距離に応じて設計し、外側の回路を意図的に高速化し、内側の回路を意図的に低速化する。好ましい実施例では、ゾーン306aに配置されている各配布回路は、等しいサイズの出力段を有し、ゾーン306b内の各配布回路は等しいサイズの出力段を有し、以下同様である。したがって、線316に接続されている配布回路315の行の場合、4種類の出力段サイズが使用されている。同様の技法を使用して2次配布回路302a~302dの出力ドライバ段のサイズを決定することができる。2次配布回路302はそれぞれソース配布回路314からゾーン304a~304dによって示されている距離に配置される。好ましい実施例では2次配布回路はセクタの中央に位置するため、ゾーン304はセクタ境界からセクタのサイズの半分だけずれている。したがって、2次配布回路302aは距離304aに応じたサイズの出力段を有し、2次配布回路302bは距離304aに304bを加えた距離に応じたサイズの出力段を有することになり、以下同様である。2次配布回路の1つの列のみが図示されているが、同じ出力段のサイズ決定技法が、各列に関連する2次配布回路に用いられる。

【0041】この信号伝搬距離に応じたサイズ決定方式を使用することによって、各信号供給先（たとえば論理セル）で受け取られる信号間のスキューが最小限に抑えられる。

【0042】信号配布回路が図8に示すような出力インバータ段174を含むプログラマブル・マルチプレクサを備える場合、出力インバータ段は図12に図示されているように設計することができる。図12には図8のマルチプレクサのインバータ出力段が示されている。このインバータは、pチャンネル・トランジスタT1とnチャンネル・トランジスタT2を備える。この回路は、1つの実施例では、図3の1次または列クロック・マルチプレクサ42、図3の2次またはセクタ・クロック・マルチプレクサ44および46、および図4の1次または列リセット・マルチプレクサ72の出力段として使用される。より一般的に言えば、このインバータは図11の1次配布回路315および2次配布回路302の出力段として使用することができる。

【0043】インバータのトランジスタ（素子長はすべて700nm）のマイクロメータ（ μm ）単位で示した素子幅の例を、以下の表に示す。

ゾーン	1次クロック		1次リセット		2次クロック	
	T1	T2	T1	T2	T1	T2
a	24.5	20.4	27	17.4	6.3	3.15
b	27	22.5	29	18.7	7.5	3.75
c	30	25	30	19.3	8.1	4.05

d 31 25.8 31

【0044】a～dで示したゾーンは、図11のゾーン306a～306dおよび304a～304dを指す。この実施例では、所与のゾーン内のすべての素子のサイズが等しい。(ゾーン304aおよび306aはアレイの7つのセクタのうちの中央セクタの中央で始まる。)これらの素子は、外側のゾーン(306dまたは304d)内のインバータはより大きく高速になるように、内側のゾーン(304aまたは304d)内のインバータはより小さく低速になるようなサイズになっている。外側のゾーン内のより高速のインバータはより長い信号伝搬時間を補償し、内側のゾーン内のより低速のインバータはより短い伝搬時間を補償する。素子幅は、各セクタの一辺が約1500μmである図1の7セクタ・アレイの場合について計算した。当業者なら、素子サイズは連続的に変わることがあり、その場合、素子サイズの連続が必要になること、またはより細かい距離標本化(すなわち4を超える数)を使用することができることが理解されよう。

【0045】前記の低スキュー配布網がプログラマブル・アレイにとって特に重要な理由は以下の通りである。1)適切なレベルのアレイの一般性を維持するために、アレイ・ハードウェア設計者はチップの全領域に達する汎用クロック網を設けなければならない。これは、クロック網の実質的な物理的調整を妨げる物理的制約である。2)低スキュー設計によってクロック許容差がきわめて低くなり、したがってアレイ・プログラマまたはユーザは低速のクロック速度または論理レイアウト上の制約によって制約を受ける必要がない。

【0046】前述のように、当業者にはアレイをプログラム可能にする様々な技法が周知である。これらの技法のいずれか、またはその変形を使用して、本発明のアーキテクチャをプログラムすることができる。マスク・プログラミング技法としては、汎用設計集積回路の最終金属化層の付着のカスタマイズがある(たとえば、1976年11月23日付けの「Programmable Latch and Other Circuits for Logic Arrays」という名称の米国特許第3993919号、および1988年3月3日付けの「Multi-Function FET Masterslice Cell」という名称の米国特許第4742383号を参照のこと。この2つの特許は本出願と同じ出願人に譲渡されている)。レーザ・プログラミング技法としては、付着させた後の金属化層のカスタマイズがある(たとえば、ラッフェル(Raffel)等の「A Wafer-Scale Digital Integrator Using Restructurable VSLI」、IEEE Journal of Solid-State Circuits, Vol. SC-20, No.1, 1985年2月、399ページ参照)。ヒューズ・リンクまたはアンチヒューズを使用し、永久(不揮発性)プログラミングを行うことができる(たとえば、ミルマン(Millman)の「Microelectronics」、McGraw-Hill, Inc., 1979年、19

6ページ、および1988年7月19日付けのエルガマル(Elgamal)等の「User Programmable Integrated Circuit Interconnect Architecture and Test Method」という名称の米国特許第4758745号参照)。消去可能プログラマブル読取り専用メモリ(EPROM)および電気的消去可能プログラマブル読取り専用メモリ(EEPROM)デバイスを使用して、半永久プログラミングを行うことができる。EPROMおよびEEPROMは両方とも電気的にプログラム可能であり、電力を除去してもその状態を保持する。しかしこれらのデバイスは、特別な消去手続きを使用して再構成することができる(たとえば、ウッド(Wood)等の「An Electrically Alterable PLA for Fast Turnaround Time VLSI Development Hardware」、IEEE Journal of Solid-State Circuits, Vol. SC-16, No.5, 1981年10月、570ページ参照)。最後に、揮発性ランダム・アクセス・メモリ(RAM)デバイスも使用可能である。これは完全にプログラム可能であり再プログラム可能であるが、電力を除去するとプログラムされた状態が失われる(たとえば、1979年12月4日付けの米国特許第4177452号を参照。これは本出願と同じ出願人に譲渡されている)。アレイをプログラムする上記およびその他の技法は、当業者に周知であり、S. ブラウン(Brown)、R. フランシス(Francis)、J. ローズ(Rose)、およびZ. ヴラネシク(Vranesic)の出版物「Field-Programmable GateArrays」、Kluwer Academic Publishers, 1992年、にも概説されている。上記の各出典は、参照によりその全体が本明細書に組み込まれる。

【0047】本発明の好ましい実施例のマルチプレクサのプログラミングには、ユーザによってプログラムされるSRAMセルが必要である。図6および図8に、マルチプレクサにおけるSRAMセルの接続例を図示する。このアレイSRAMセルは、1993年5月Atmel Corporation発行の「Application Note AT6000 Series Configuration」改訂1B版と題する出版物で開示されている技法に従って構成することができる。この出版物は参照によりその全体が本明細書に組み込まれる。

【0048】図3ないし図7の柔軟性のある配布網を使用することによって、従来の技術よりもアレイ内のクロックおよびリセット配布の選択の自由度を大きくすることが可能になり、これは様々なクロック要件およびリセット要件を有する大規模な論理的に区画化されたアレイの場合に特に重要である。さらにプログラマブル・アレイで信号配布網用に図8ないし図12の低スキュー信号配布機構を使用することによって、アレイの論理セルに送られる信号間のスキューが最小限に抑えられる。

【0049】以上、本明細書では本発明について本発明の特定の好ましい実施例に従って詳細に説明したが、当

業者なら多くの修正および変更を行うことができる。したがって、特許請求の範囲によって、そのような修正および変更をすべて本発明の精神および範囲に入るものとして扱うものとする。

【0050】まとめとして、本発明の構成に関して以下の事項を開示する。

【0051】(1) 複数の論理セルを有するプログラマブル・アレイのための信号配布アーキテクチャであって、前記信号配布アーキテクチャはクロック／リセット配布網を含み、前記クロック／リセット配布網が、複数の論理セルのうちの第1のグループの論理セルのために、複数のシステム・クロック／リセット信号から第1のグループ・クロック／リセット信号を選択する第1のプログラマブル・マルチプレクサと、複数の論理セルのうちの第2のグループの論理セルのために、複数のシステム・クロック／リセット信号から第2のグループ・クロック／リセット信号を選択する第2のプログラマブル・マルチプレクサと、第1および第2のグループの論理セルのうちの1つのグループの論理セルのサブグループのために、少なくとも第1および第2のグループ・クロック／リセット信号を含む複数のグループ・クロック／リセット信号から、論理セルのサブグループの論理セルに使用可能なサブグループ・クロック／リセット信号を選択する第3のプログラマブル・マルチプレクサとを備える、信号配布アーキテクチャ。

(2) 第1のグループの論理セルのために、複数のシステム・リセット／クロック信号から第1のグループ・リセット／クロック信号を選択する第1のプログラマブル・マルチプレクサと、第2のグループの論理セルのために、複数のシステム・リセット／クロック信号から第2のグループ・リセット／クロック信号を選択する第2のプログラマブル・マルチプレクサと、論理セルのサブグループのために、少なくとも第1および第2のグループ・リセット／クロック信号を含む複数のグループ・リセット／クロック信号から、論理セルのサブグループの論理セルに使用可能なサブグループ・リセット／クロック信号を選択する第3のプログラマブル・マルチプレクサとを備えるリセット／クロック配布網をさらに含む、上記(1)に記載の信号配布アーキテクチャ。

(3) 少なくとも1つのプログラマブル・マルチプレクサが、出力と、複数の入力と、複数の入力バッファのうちの各入力バッファが少なくとも1つのプログラマブル・マルチプレクサの複数の入力のうちのそれぞれの1つの入力に接続された入力を有し、複数の入力バッファのうちの各入力バッファがさらに出力を有する、複数の入力バッファと、複数のプログラム可能要素とを含み、前記複数のプログラム可能要素の各プログラム可能要素が、複数の入力バッファの各入力バッファの出力に接続された第1の導電端子と、少なくとも1つのプログラマブル・マルチプレクサの出力に選択された信号を供給す

る第2の導電端子とを備え、選択された信号が少なくとも1つのプログラマブル・マルチプレクサを介して再駆動されるようになっていないことを特徴とする、上記

(1)に記載の信号配布アーキテクチャ。

(4) 第1および第2のプログラマブル・マルチプレクサのうちの少なくとも一方が固定論理状態入力を含み、グループ・クロック／リセット信号が複数のシステム・クロック／リセット信号および固定状態論理入力から選択されることを特徴とする、上記(1)に記載の信号配布アーキテクチャ。

(5) 第1および第2のプログラマブル・マルチプレクサのうちの少なくとも1つがプログラマブル・アレイの相互接続構造体から派生した入力を含み、グループ・クロック／リセット信号が複数のシステム・クロック／リセット信号および派生入力から選択されることを特徴とする、上記(1)に記載の信号配布アーキテクチャ。

(6) 外部信号源から複数のシステム・クロック／リセット信号のうちの少なくとも1つのシステム・クロック／リセット信号を受け入れる1/Oブロックと、1/Oブロックとクロック／リセット配布網の間に接続され、1/Oブロックから少なくとも1つのクロック／リセット信号をクロック／リセット配布網に選択的に供給するプログラム可能要素とをさらに含む、上記(1)に記載の信号配布アーキテクチャ。

(7) 行と列の形で配置された複数の論理セルとクロック・リセット配布網を有するプログラマブル・アレイであって、前記クロック・リセット配布網が、各第1のプログラマブル列マルチプレクサが複数のシステム・クロック／リセット信号から列クロック／リセット信号を選択し、選択した列クロック／リセット信号を論理セルの各列に供給する、論理セルの各列のための第1のプログラマブル列マルチプレクサと、第1の複数のプログラマブル・セクタ・マルチプレクサの各プログラマブル・セクタ・マルチプレクサが論理セルの各列の論理セルのセクタに対応し、複数の選択された列クロック／リセット信号からセクタ・クロック／リセット信号を選択し、選択したセクタ・クロック／リセット信号を論理セルの各列の論理セルの各セクタに供給する、論理セルの各列のための第1の複数のプログラマブル・セクタ・マルチプレクサとを含む、プログラマブル・アレイ。

(8) 第1の複数の論理セルを有し、該論理セルの各々が、複数の入力と1つの出力を有するプログラマブル入力マルチプレクサと、プログラマブル入力マルチプレクサの出力に接続された入力を有し、出力をさらに有する組合せ論理回路と、組合せ論理回路の出力に接続された入力を有し、クロック／リセット入力をさらに有する順序論理回路と、選択されたクロック／リセット信号を第1の複数の論理セルの各論理セルのプログラマブル入力マルチプレクサの入力と第1の複数の各論理セルの順序論理回路のクロック／リセット入力とに供給する、第1

の複数の論理セルに関連するプログラマブル・クロック／リセット・マルチプレクサとを備えることを特徴とするプログラマブル・アレイ。

(9) プログラマブル・アレイの複数の論理セルに少なくとも1つのクロック／リセット信号を配布するクロック／リセット配布網を有するプログラマブル・アレイであって、複数の論理セルのうちの少なくとも1つの論理セルが、複数の入力と、1つの出力と、1つの制御要素とを有するプログラマブル出力マルチプレクサと、プログラマブル出力マルチプレクサの複数の入力の1つに接

続された出力を有し、クロック／リセット信号入力をさらに有する順序論理回路と、順序論理回路のクロック／リセット信号入力とクロック／リセット配布網の間に接続され、制御要素にตอบสนองしてクロック／リセット信号をゲート制御して順序論理回路に送るクロック／リセット・ゲート回路とを含む、プログラマブル・アレイ。

(10) プログラマブル・アレイのためのプログラマブル・マルチプレクサであって、前記プログラマブル・マルチプレクサは、複数の信号経路の各信号経路が入力と出力とを備えた複数の信号経路を含み、前記信号経路のうちの少なくとも1つは、信号経路の入力に接続された

入力と有し、出力をさらに有する入力インバータと、入力インバータの出力に接続された第1の導電端子を有し、少なくとも1つの信号経路の出力を含む第2の導電端子をさらに有するプログラム可能要素と、複数の信号経路の各信号経路の出力に接続された入力と有し、少なくとも1つのプログラマブル・マルチプレクサの出力を含む出力をさらに有して、選択された信号を少なくとも1つのプログラマブル・マルチプレクサを介して再駆動することができるようにしている、出力インバータとを含む、プログラマブル・マルチプレクサ。

(11) 集積回路のための低スキュー信号配布アーキテクチャであって、信号源と、第1の複数の1次配布回路の各1次配布回路が出力段を有する、第1の複数の1次配布回路と、前記信号源と第1の複数の1次配布回路の各1次配布回路との間の第1の導電経路とを含み、前記信号源から伝送された信号がそれぞれの遅延後にそれぞれの1次配布回路に到着し、それぞれの遅延が各第1の伝搬経路を通る前記信号源からそれぞれの1次配布回路までのそれぞれの伝搬距離に一般に比例するようになっており、それぞれの遅延を補正するためにそれぞれの1次配布回路の出力段のサイズが各第1の導電経路を通るそれぞれの伝搬距離に応じて決定されて、第1の複数の1次配布回路の1次配布回路からそれぞれ出力される信号間のスキューが最小化されるようになってい

ることを特徴とする、低スキュー信号配布アーキテクチャ。

【図面の簡単な説明】

【図1】その中に配置された複数の論理セルを有するプログラマブル・アレイを示す図である。

【図2】図1のアレイの論理セルの1セクタを示す図で

ある。

【図3】本発明によるプログラマブル・アレイのプログラマブル・クロック配布網の一部を示す図である。

【図4】本発明によるプログラマブル・アレイのプログラマブル・リセット配布網の一部を示す図である。

【図5】図3または図4のいずれかの配布網の周縁部の状態を示す図である。

【図6】本発明による論理セルと列クロック信号および列リセット信号との間の接続を示す図である。

10 【図7】本発明による論理セルのためのクロック・ゲート回路を示す図である。

【図8】本発明による信号配布網のためのプログラマブル・マルチプレクサを示す図である。

【図9】本発明による信号配布網のプログラム可能信号源を示す図である。

【図10】本発明による信号配布網のためのバッファ付き信号源を示す図である。

【図11】本発明によるプログラマブル・アレイの1象限内の信号配布回路の物理的配置構成を示す図である。

20 【図12】本発明による配布回路またはマルチプレクサの出力段の例を示す図である。

【符号の説明】

22 論理セル

24 垂直相互接続バス

26 水平相互接続バス

28 スイッチ

41 列

42 マルチプレクサ

44 マルチプレクサ

30 46 マルチプレクサ

50 クロック信号

56 列クロック信号

60 固定論理状態信号

71 列

72 マルチプレクサ

80 システム・リセット信号

86 列リセット信号線

88 セクタ・リセット信号

104 列マルチプレクサ

40 108 クロック

110 列クロック信号

122 順序回路

124 列リセット線

128 入力マルチプレクサ

132 セル出力マルチプレクサ

134 ゲート信号

150 クロック・ゲート回路

154 クロック出力信号

160 マルチプレクサ

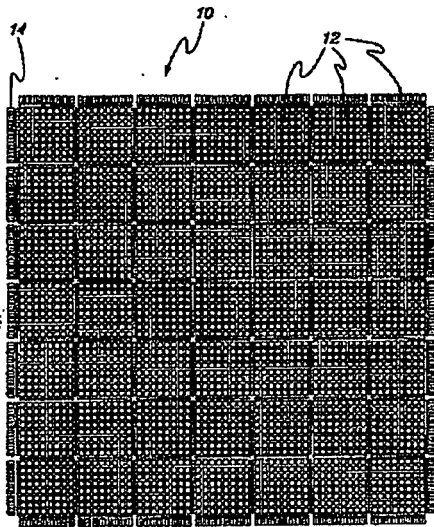
50 164 インバータ

23
 166 相補形トランジスタ
 168 相補形トランジスタ
 170 メモリ・セル
 174 出力インバータ
 200 バッファ回路
 202 インバータ
 204 NANDゲート
 206 レジスタ

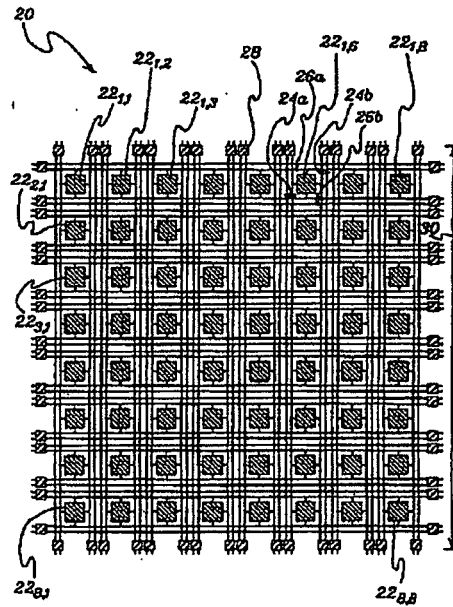
24
 * 210 パッド
 212 入力バッファ
 228 バッファ
 300 チップ
 302 2次信号配布回路
 314 1次信号配布回路
 315 1次信号配布回路

*

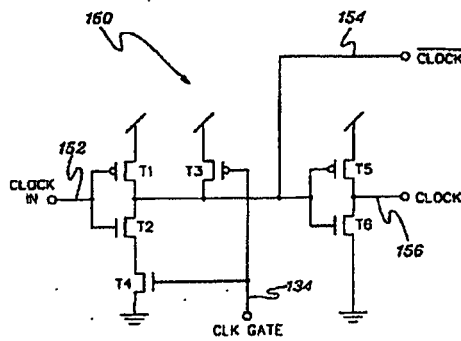
【図1】



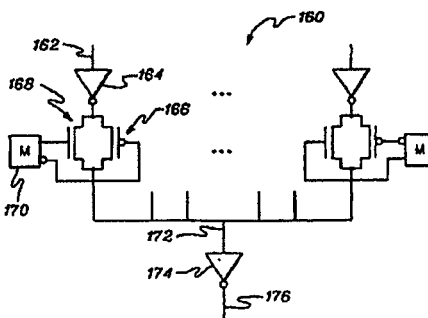
【図2】



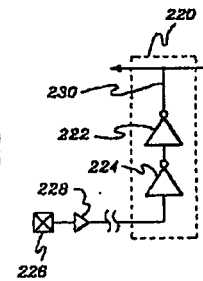
【図7】



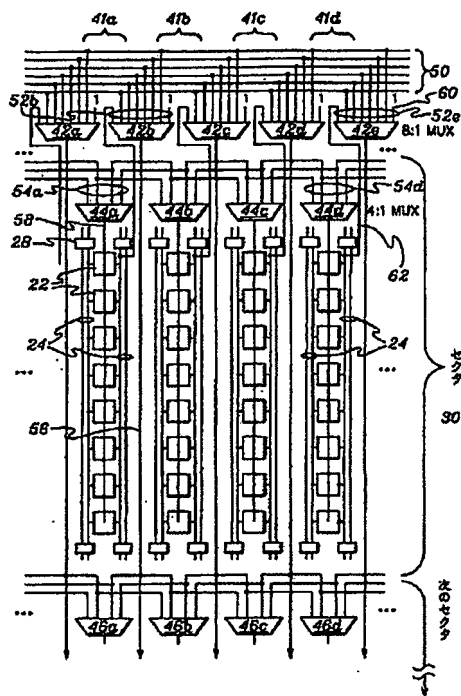
【図8】



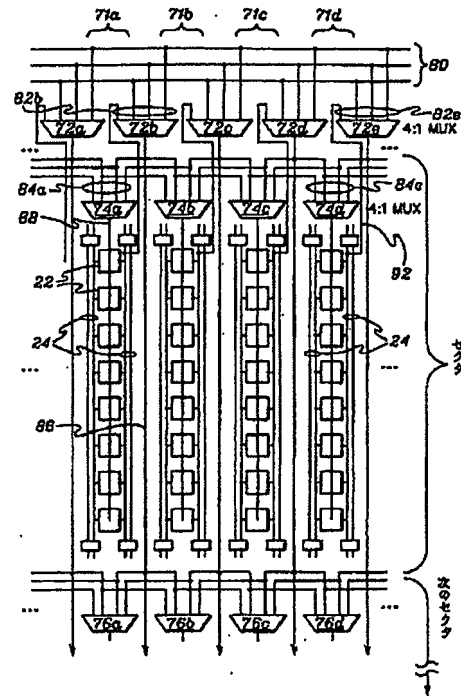
【図10】



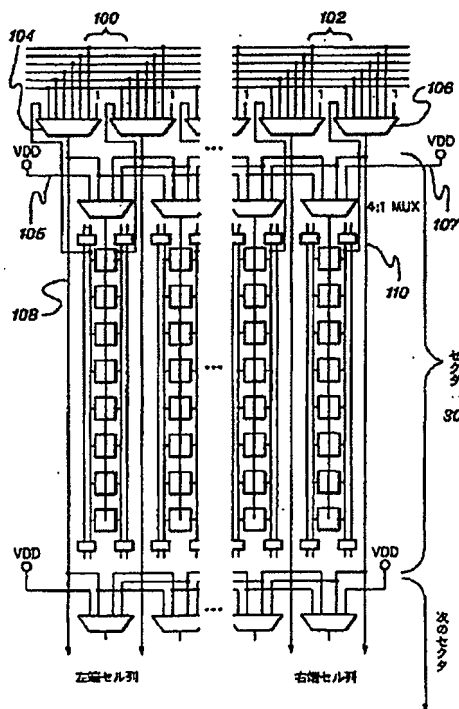
【図3】



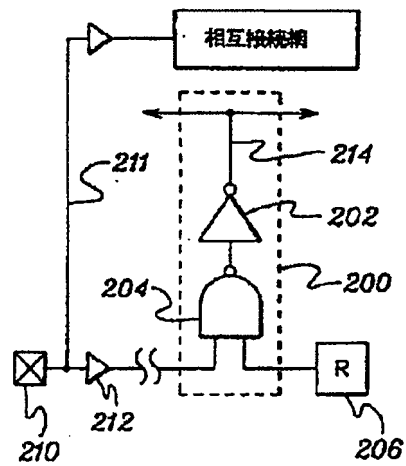
【図4】



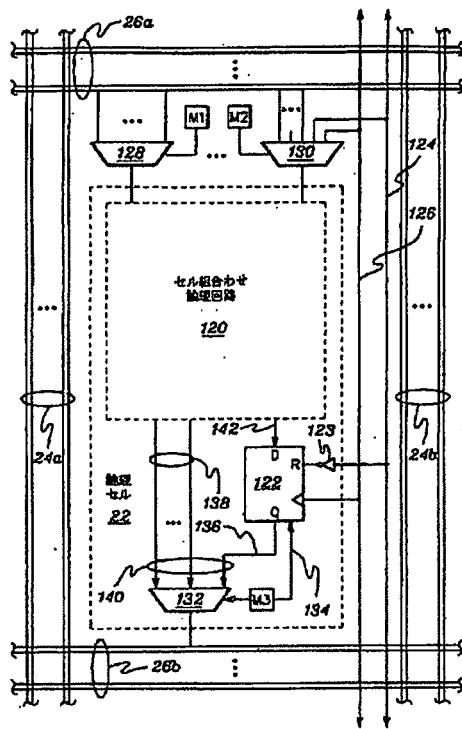
【図5】



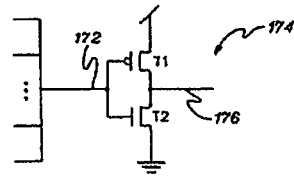
【図9】



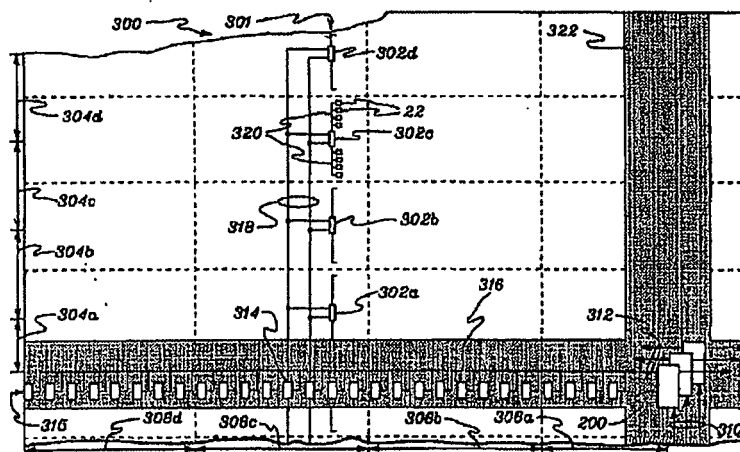
【図6】



【図12】



【図11】



フロントページの続き

(72)発明者 フレデリック・カーティス・ファーテック
アメリカ合衆国94025 カリフォルニア州
メンロー・パーク シャロン・パーク・ド
ライヴ 350 アpartment エム-24
(72)発明者 フランク・レイ・カイザー・ザサード
アメリカ合衆国05446 バーモント州コル
チェスター ヘリテージ・レーン 8

(72)発明者 ブライアン・エイ・ワース
アメリカ合衆国05468 バーモント州ミル
トン アンドレア・レーン 32
(72)発明者 テランス・ジョン・ジトリッチュ
アメリカ合衆国05495 バーモント州ウィ
リントンハート・サークル 17